

501.42818X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ICHINOSE, et al.
Serial No.: Not assigned
Filed: June 25, 2003
Title: A SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
Group: Not assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

June 25, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Application No.(s) 2002-184292 filed June 25, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/amr
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 6月25日

出 願 番 号
Application Number:

特願2002-184292

[ST.10/C]:

[JP2002-184292]

出 願 人
Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011574

【書類名】 特許願

【整理番号】 H02006301

【提出日】 平成14年 6月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76
H01L 29/78

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 一瀬 勝彦

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 大塚 文雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 2 - 1 8 4 2 9 2

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 (a) SiGe 層と、前記 SiGe 層上にエピタキシャル成長された第 1 の Si 層とを有し、素子分離領域で区画された素子形成領域を有する半導体基板と、

(b) 前記素子分離領域に形成された溝とその内部の絶縁膜よりなる素子分離であって、前記溝は、前記第 1 の Si 層を貫通し、前記 SiGe 層の途中にその底部を有する素子分離と、

(c) 前記素子分離と前記 SiGe 層との間に形成された第 2 の Si 層と、

(d) 前記素子形成領域の半導体基板の主表面に形成された半導体素子と、を有することを特徴とする半導体集積回路装置。

【請求項 2】 前記素子形成領域は、第 1 導電型もしくは前記第 1 導電型と逆導電型である第 2 導電型の半導体領域の前記半導体基板からの露出領域であり、

前記半導体領域の底部は、前記 SiGe 層の途中に位置することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記半導体領域の底部は、前記素子分離の底部より深い位置にあることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 4】 前記半導体集積回路装置は、第 1 から第 3 の前記素子形成領域を有し、

第 1 および第 2 の素子形成領域は、第 1 導電型の第 1 の半導体領域の前記半導体基板からの露出領域であり、

第 3 の素子形成領域は、前記第 1 導電型と逆導電型である第 2 導電型の第 2 の半導体領域の前記半導体基板からの露出領域であり、

前記第 1 と第 2 の素子形成領域間の素子分離領域の最小幅 (H1) より、前記第 3 と前記第 1 もしくは第 2 の素子形成領域間の素子分離領域の最小幅 (H2) が大きく、

前記第 1 および第 2 の半導体領域の底部は、前記 SiGe 層の途中に位置する

ことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 前記第 1 および第 2 の半導体領域の底部は、前記素子分離の底部より深い位置に位置することを特徴とする請求項 4 記載の半導体集積回路装置。

【請求項 6】 前記絶縁膜は、前記溝の内壁に形成された熱酸化膜と、その内部の第 2 絶縁膜とで構成されることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 7】 前記熱酸化膜と第 2 絶縁膜との間には、窒化膜が形成されていることを特徴とする請求項 6 記載の半導体集積回路装置。

【請求項 8】 前記窒化膜は、前記溝の側壁部に形成され、前記溝の底部上には形成されていないことを特徴とする請求項 7 記載の半導体集積回路装置。

【請求項 9】 前記第 2 絶縁膜は、オゾンとテトラエトキシシランを原料とした CVD 法により形成された酸化シリコン膜であることを特徴とする請求項 6 記載の半導体集積回路装置。

【請求項 10】 前記第 2 の Si 層は、前記素子分離を覆うように形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 11】 前記第 2 の Si 層は、単結晶の Si よりなることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 12】 前記第 2 の Si 層は、多結晶の Si よりなることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 13】 前記第 2 の Si 層は、前記素子分離と前記 SiGe 層との間に形成され、前記素子分離と前記第 1 の Si 層との間には形成されていないことを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 14】 前記半導体素子は、MISFET であり、前記 MISFET は、前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の両側の前記半導体基板中に形成されたソース、ドレイン領域と、を有し、

前記半導体基板の前記素子分離領域上には、前記ゲート電極と同層の導電性膜が形成されていることを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 1 5】 (a) SiGe 層と、前記 SiGe 層上にエピタキシャル成長された第 1 の Si 層とを有する半導体基板を準備する工程と、

(b) 前記半導体基板をエッチングすることにより前記半導体基板の素子分離領域に、前記第 1 の Si 層を貫通し前記 SiGe 層まで到達する溝を形成する工程と、

(c) 前記溝の底部および側壁を含む前記半導体基板の表面に、第 2 の Si 層を形成する工程と、

(d) 前記第 2 の Si 層に熱処理を施すことにより前記第 2 の Si 層のうち表面からの一定の厚さの Si 膜を第 1 の絶縁膜とする工程と、

(e) 前記第 1 の絶縁膜上に、前記溝を埋め込む程度の第 2 の絶縁膜を形成し、溝外部の前記第 2 の絶縁膜を除去することにより前記素子分離領域に形成された素子分離および前記素子分離で区画された素子形成領域を形成する工程と、

(f) 前記素子形成領域に、半導体素子を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】 前記第 2 の Si 層は、単結晶 Si 膜であって、前記 (c) 工程は、前記単結晶 Si 膜をエピタキシャル成長により形成することを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 7】 前記第 2 の Si 層は、多結晶 Si 膜であって、前記 (c) 工程は、前記多結晶 Si 膜を、前記溝の底部および側壁を含む前記半導体基板の表面に堆積する工程であることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 8】 前記半導体集積回路装置の製造方法は、さらに、
前記 (d) 工程と前記 (e) 工程との間に、

(g) 前記第 1 の絶縁膜上に、窒化膜を形成する工程を有することを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 9】 前記半導体集積回路装置の製造方法は、さらに、
前記 (d) 工程と前記 (e) 工程との間に、

(g) 前記第 1 の絶縁膜上に、窒化膜を形成した後、前記窒化膜を異方的にエッチングすることにより、前記溝の側壁に窒化膜を残存させる工程を有すること

を特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 0】 前記 (e) 工程の前記第 2 の絶縁膜は、酸化シリコン膜であり、前記酸化シリコン膜は、オゾンとテトラエトキシシランを原料とした C V D 法により形成されることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 1】 前記 (e) 工程の前記第 2 の絶縁膜は、酸化シリコン膜であり、前記酸化シリコン膜は、オゾンとテトラエトキシシランを原料とした C V D 法により堆積した膜に、熱処理を施すことにより形成されることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 2】 前記 (f) 工程は、M I S F E T を形成する工程であって、前記 (f) 工程は、前記素子分離領域に前記 M I S F E T を構成するゲート電極と同層の導電性膜を形成する工程を含むことを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 3】 前記半導体集積回路装置の製造方法は、
前記半導体集積回路装置の完成時において、前記第 2 の S i 層が残存していることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 4】 (a) S i G e 層と、前記 S i G e 層上にエピタキシャル成長された第 1 の S i 層とを有する半導体基板を準備する工程と、

(b) 前記半導体基板をエッチングすることにより前記半導体基板の素子分離領域に、前記第 1 の S i 層を貫通し S i G e 層まで到達する溝を形成する工程と

(c) 前記溝の底部および側壁を含む前記半導体基板の表面を熱酸化することにより、前記溝の底部および側壁から露出した S i G e 層の表面に、S i G e 酸化膜を形成し、前記溝の側壁から露出した S i 層の表面に、S i 酸化膜を形成する工程と、

(d) 前記 S i G e 酸化膜を前記 S i 酸化膜より高選択比の条件でエッチングすることにより、前記溝の底部および側壁に S i G e 層を露出させる工程と、

(e) 前記 (d) 工程で露出した S i G e 層の表面に、単結晶である第 2 の S i 層をエピタキシャル成長により形成する工程と、

(f) 前記第 2 の S i 層に熱処理を施すことにより前記第 2 の S i 層のうち表面からの一定の厚さの S i 膜を第 1 の絶縁膜とする工程と、

(g) 前記第 1 の絶縁膜上に、前記溝を埋め込む程度の第 2 の絶縁膜を形成し、溝外部の前記第 2 の絶縁膜を除去することにより前記素子分離領域に形成された素子分離および前記素子分離で区画された素子形成領域を形成する工程と、

(h) 前記素子形成領域に、半導体素子を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特に、基板の表面部に応力が加わった、いわゆる歪み基板を用いた半導体集積回路装置およびその製造方法に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

半導体基板の主表面に形成される半導体素子、例えば、M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の特性は、種々の要因により決まるが、基板の表面層に引っ張り応力が加わっている場合には、チャネル領域の電子の移動度が大きくなり、M I S F E T の電流駆動能力を向上させることができる。

【 0 0 0 3 】

このような基板は、歪み基板と呼ばれ、例えば、Strained Si MOSFETs for High Performance CMOS Technology (2001 Symposium on VLSI Technology Digest p 5 9 ~ p 6 0 に、かかる基板を用いた M O S F E T の記載がある。

【 0 0 0 4 】

【発明が解決しようとする課題】

本発明者は、半導体集積回路装置の研究・開発に従事しており、特に M I S F E T の特性の向上のため、歪み基板の採用について種々検討している。

【 0 0 0 5 】

この歪み基板は、例えば、Si 基板上に、SiGe 膜をエピタキシャル成長させ、さらに、この上部に Si 膜をエピタキシャル成長させることにより形成することができる。後述するように、Si と Ge の格子間距離の影響により、最上層の Si 膜に引っ張り応力が加わる。

【 0 0 0 6 】

一方、基板には、複数の素子が形成され、これらの間を分離するため、絶縁膜よりなる素子分離が形成される。この素子分離は、例えば、基板の素子分離領域に溝を形成し、溝内に絶縁膜を埋め込むことにより形成する。

【 0 0 0 7 】

例えば、溝の内部を含む基板上に、CVD (Chemical Vapor Deposition) 法で酸化シリコン膜等の絶縁膜を堆積し、溝外部の絶縁膜をCMP (Chemical Mechanical Polishing) 法等で除去することにより、溝内に絶縁膜を埋め込む。

【 0 0 0 8 】

しかしながら、溝内に直接CVD絶縁膜を埋め込むと、溝（素子分離の壁）に沿ってリーク電流が流れ易くなる。これは、CVD絶縁膜と半導体基板との間において界面準位密度が高くなることが原因である。

【 0 0 0 9 】

そこで、溝を形成した後に、溝の内壁を熱酸化した後に、CVD絶縁膜を埋め込む方法が採用されている。

【 0 0 1 0 】

しかしながら、SiGe 膜を有する歪み基板においては、溝の内壁を酸化した際に生じるSiGe酸化膜が、Si酸化膜と比較して界面準位密度が1桁大きいという性質を有する。

【 0 0 1 1 】

従って、歪み基板を用いた場合には、Si 基板を用いた場合より、リーク電流が大きくなり、また、素子分離特性が劣化するという問題が生じる。

【 0 0 1 2 】

そこで、例えば、特開平5-275526号公報 (USP 5266813) には、単結晶シリコン層60を溝の内張りとして形成し、漏洩（リーク）を防止す

る技術が開示されている。

【 0 0 1 3 】

しかしながら、半導体集積回路装置の特性の向上や微細化の要求に伴い、装置の構成が異なる現状においては、前記公報に開示の技術では、リーク電流の防止が充分ではない。これについては、追って詳細に説明する。

【 0 0 1 4 】

本発明の目的は、歪み基板の素子分離特性を向上させる技術を提供することにある。特に、ウエルが高濃度化し、もしくは素子分離上に導電性膜が配置されるような場合においても、素子分離の壁を介するリーク電流を低減することにある。

【 0 0 1 5 】

また、本発明の他の目的は、歪み基板の素子分離特性を向上させることによって、これらの主表面に形成される半導体集積回路の特性を向上させ、また、装置の歩留まりを向上させるものである。

【 0 0 1 6 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 7 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 8 】

本発明の半導体集積回路装置は、S i G e 層と、前記S i G e 層上にエピタキシャル成長された第1のS i 層とを有する半導体基板の素子分離であって、その底部がS i G e 層の途中に位置する素子分離とS i G e 層との間に第2のS i 層を有するものである。

【 0 0 1 9 】

本発明の半導体集積回路装置の製造方法は、S i G e 層とその上にエピタキシャル成長された第1のS i 層とを有する半導体基板の素子分離領域に、第1のS

i 層を貫通し S i G e 層まで到達する溝を形成した後、その上部に第 2 の S i 層を形成し、さらに、熱処理を施すことによりこの第 2 の S i 層のうち表面からの一定の厚さの S i 膜を第 1 の絶縁膜とし、この第 1 の絶縁膜上に溝を埋め込む程度の第 2 の絶縁膜を形成し、溝外部の第 2 の絶縁膜を除去することにより素子分離を形成するものである。

【 0 0 2 0 】

また、前記第 2 の S i 層を形成する前に、溝の底部および側壁を熱酸化し、S i G e 酸化膜および S i 酸化膜を形成し、S i G e 酸化膜のみをエッチングで除去した後、露出した S i G e 層上のみに第 2 の S i 層を形成してもよい。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、原則として実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 2 】

(実施の形態 1)

以下、本実施の形態の半導体集積回路装置をその製造方法に従って説明する。

【 0 0 2 3 】

図 1 ～図 1 3 は、本実施の形態の半導体集積回路装置の製造方法を示す基板の要部断面図である。また、図 1 4 は、基板の要部平面図であり、各断面図は、平面図の A - A 断面部に対応する。また、n M I S - A は、n チャネル型 M I S F E T の形成領域であり、p M I S - A は、p チャネル型 M I S F E T の形成領域である。

【 0 0 2 4 】

まず、図 1 に示すように、単結晶シリコン (S i) 層 1 a、S i G e (シリコンゲルマニウム) 層 1 b およびこの S i G e 層上にエピタキシャル成長された単結晶 S i 層 1 c よりなる半導体基板 (以下、単に「基板」という) 1 を準備する。

【 0 0 2 5 】

この基板 1 を形成するには、まず、単結晶 Si 基板 1 a の表面に、SiGe 層 1 b を、Si と Ge の組成比 (Si : Ge) が、例えば 0.8 : 0.2 となるよう、エピタキシャル成長により 5 μ m 程度形成する。次いで、この SiGe 層 1 b 上に、Si 層 1 c をエピタキシャル成長により 0.02 μ m 程度形成する。

【0026】

このような基板 1 の Si 層 1 c には、引っ張り応力が印加される。これは、SiGe 層 1 b の格子間隔が、Si の単結晶のそれより広いため、SiGe 層 1 b 上に成長する Si 層は、この格子間隔の影響を受けその格子間隔が広がる。この格子間隔は、膜の成長が進むにつれ緩和されるが、基板の表面において Si 層の格子間隔が通常の Si の結晶の格子間隔より広ければ、Si 層 1 c には、引っ張り応力が印加され、キャリアの移動度が上昇する。なお、Si 層 1 c の下層は、Si より格子間隔の広い結晶であり、その表面から Si がエピタキシャル成長し得る層であれば良い。また、この基板 1 は、「歪み基板」、Si 層 1 c は、「歪み層」と呼ばれる。

【0027】

次いで、基板 1 に素子分離 SGI を形成する。この素子分離 SGI を形成するには、まず、図 2 に示すように、基板 1 の表面に、例えば、10 nm 程度の酸化シリコン膜 2 1 を形成し、さらに、この上部に、窒化シリコン膜 2 2 を 150 nm 程度堆積する。

【0028】

次いで、図示しないフォトリソ膜（以下、単に「レジスト膜」という）をマスクに、基板 1 の素子分離領域 (ISOP-p、ISOP-n) の窒化シリコン膜 2 2 および酸化シリコン膜 2 1 を除去する。

【0029】

次いで、レジスト膜を除去し、窒化シリコン膜 2 2 等をマスクに、基板 1 をエッチングして溝 2 を形成する。素子分離特性を確保するために、溝 2 の深さは、この場合 300 nm 程度必要である。また、この溝 2 は、Si 層 1 c を貫通し、SiGe 層 1 b まで到達する。また、溝 2 の底部は、SiGe 層 1 b 中に位置する。

【 0 0 3 0 】

従って、溝 2 の側壁には、S i 層 1 c および S i G e 層 1 b が露出し、また、溝 2 の底部には、S i G e 層 1 b が露出している。

【 0 0 3 1 】

次に、還元処理、例えば、水素雰囲気中での熱処理を行うことにより、溝 2 の表面の自然酸化膜を除去する。次いで、図 3 に示すように、溝 2 の側壁の S i 層 1 c および S i G e 層 1 b 上、また、溝 2 の底部の S i G e 層 1 b 上に単結晶 S i をエピタキシャル成長させることにより、膜厚 2 0 n m 程度の単結晶 S i 膜 3 を形成する。なお、溝 2 の側壁上部においては、単結晶 S i の成長が基板に対して水平方向に成長するだけでなく、垂直方向にも成長する。従って、溝の側壁上部においては、基板 1 の表面より盛り上がるように単結晶 S i が成長する。

【 0 0 3 2 】

次いで、溝 2 の内壁の S i 膜 3 の表面を酸化し、S i 酸化膜（熱酸化膜）6 を形成するのであるが、その前に、図 4 に示すように、酸化シリコン膜 2 1 を選択的にエッチングすることにより、溝の側壁部から後退させる。

【 0 0 3 3 】

次いで、図 5 に示すように、溝 2 の内壁の S i 膜 3 の表面を酸化し、S i 酸化膜（熱酸化膜）6 を形成する。この S i 酸化膜 6 は、1）溝の底部のコーナー部（a 1）に位置する S i 酸化膜 6 をラウンド化し、コーナー部への応力集中による結晶欠陥の発生を抑制する、2）溝の側壁上部のコーナー部（a 2）に位置する S i 酸化膜 6 をラウンド化し、コーナー部への電界集中による半導体素子の特性の変動を抑制する、等のために形成される。また、3）溝内部に埋め込まれる C V D 絶縁膜と S i 層（1 a）等とが直接接触する場合には、界面準位密度が大きくなるため、接触しても界面準位密度を低く抑えられる S i 酸化膜（熱酸化膜）6 を介在させる。

【 0 0 3 4 】

ここで、本実施の形態によれば、酸化シリコン膜 2 1 を溝 2 の側壁部から後退させた後（図 4）、酸化処理を行ったので、いわゆるバースピークが大きくなり、コーナー部をより緩やかにすることができる。従って、電界集中をより緩和す

ることができる。

【 0 0 3 5 】

また、この酸化処理の際、S i 膜 3 の表面から一定の厚さの S i 膜を酸化し、この酸化処理の後においても S i 膜 3 を残存させる。例えば、S i を酸化した場合にはその体積が 2 倍の S i 酸化膜が形成されることから、S i 膜 3 の膜厚 2 0 n m 中の 1 0 n m を酸化すれば、2 0 n m 程度の S i 酸化膜 6 となり、1 0 n m 程度の S i 膜 3 が残存することとなる。

【 0 0 3 6 】

次いで、図 6 に示すように、溝 2 の内部（S i 酸化膜 6 上）を含む基板 1 上に、絶縁膜として C V D (Chemical Vapor Deposition) 法により酸化シリコン膜 7 を堆積する。この酸化シリコン膜は、例えば、テトラエトキシシラン（S i (O C₂H₅)₄）とオゾン（O₃）を原料とした C V D 法で形成することができる。かかる膜をオゾンテオス（O₃-T E O S）膜と呼ぶ。次いで、酸素雰囲気下で、O₃-T E O S 膜に熱処理を施し（デンシファイ、焼き締め）、膜中不純物を除去し、また、膜を緻密化する。なお、酸化シリコン膜 7 の形成方法は、前記方法に限られず、H D P (High Density Plasma) C V D 法を用いて形成してもよい。この場合、前記デンシファイは不要となる。

【 0 0 3 7 】

次に、図 7 に示すように、酸化シリコン膜 7 を窒化シリコン膜 2 2 が露出するまで、例えば C M P (Chemical Mechanical Polishing) 法により研磨し、その表面を平坦化する。

【 0 0 3 8 】

次いで、図 8 に示すように、窒化シリコン膜 2 2 を除去する。その結果、溝 2 の内壁の S i 膜 3 と、S i 酸化膜 6 および酸化シリコン膜 7 よりなる素子分離 S G I とが完成する。この素子分離 S G I で囲まれた領域が、素子形成領域となる（図 1 4 参照）。なお、窒化シリコン膜 2 2 の除去後においては、素子分離 S G I 表面の酸化シリコン膜 7 は、基板 1 の表面より突出しているが、その後の、基板の洗浄や熱酸化膜の除去等の工程により素子分離 S G I の表面は徐々に後退する。

【 0 0 3 9 】

ここで、素子分離 S G I のうち、n チャネル型 M I S F E T の形成領域 (n M I S - A) 内の素子分離の幅 H 1 より、n チャネル型 M I S F E T の形成領域 (n M I S - A) と p チャネル型 M I S F E T の形成領域 (p M I S - A) との境界部の素子分離の幅 H 2 の方が、大きい。幅 H 1 の素子分離は、後述する p 型ウエル 4 p 内の分離となるため、ウエル内分離 (I S O p - p) と、また、幅 H 2 の素子分離は、p 型ウエル 4 p と n 型ウエル 4 n との間の分離となるため、ウエル間分離 (I S O n - p) と呼ぶ。例えば、ウエル内分離の幅 H 1 は、0. 2 μ m 程度、ウエル間分離の幅 H 2 は、0. 4 μ m 程度である。

【 0 0 4 0 】

次いで、図 9 に示すように、基板 1 の n チャネル型 M I S F E T 形成領域 (n M I S - A) に、p 型不純物として例えばホウ素を、 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン打ち込みする。また、基板 1 の p チャネル型 M I S F E T 形成領域 (p M I S - A) に、n 型不純物として、例えばリンを $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン打ち込みした後、熱処理を施し、これらの不純物を拡散させることにより、n 型ウエル 4 n および p 型ウエル 4 p を形成する。この n 型ウエル 4 n および p 型ウエル 4 p の深さは、450 nm 程度であり、n 型ウエル 4 n および p 型ウエル 4 p の底部は、S i G e 層 1 b 中に位置する。また、n 型ウエル 4 n および p 型ウエル 4 p の底部は、素子分離 S G I の底部より深い位置にある。この場合、ウエルの最大濃度は約 $2 \times 10^{18} \text{ cm}^{-3}$ となる。

【 0 0 4 1 】

次に、例えばフッ酸系の洗浄液を用いて基板 1 (p 型ウエル 4 p および n 型ウエル 4 n) の表面をウェット洗浄した後、熱酸化により p 型ウエル 4 p および n 型ウエル 4 n のそれぞれの表面に 2 nm 程度のゲート酸化膜 (ゲート絶縁膜) 8 を形成する。

【 0 0 4 2 】

次に、ゲート酸化膜 8 の上部に導電性膜として、膜厚 150 nm 程度の低抵抗多結晶シリコン膜 9 を C V D 法で堆積する。次いで、図示しないレジスト膜をマスクに、多結晶シリコン膜 9 をエッチングすることにより、ゲート電極 G を形成

する。

【 0 0 4 3 】

ここで、素子分離 S G I (I S O p - p 、 I S O p - n) 上にも、ゲート電極 G が形成される。例えば、図示しない他の素子形成領域上のゲート電極が素子分離 S G I 上まで延在している場合がある。また、ゲート電極 G と同層の多結晶シリコン膜 (9) を、配線や抵抗として用い、これらが素子分離上に形成される場合がある。

【 0 0 4 4 】

次いで、図 1 0 に示すように、 p 型ウエル 4 p のゲート電極 G の両側に n 型不純物として例えばヒ素 (A s) を注入することにより n⁻型半導体領域 1 1 を形成する。また、同様に、 n 型ウエル 4 n のゲート電極 G の両側に p 型不純物を注入し、 p⁻型半導体領域 1 2 を形成する。

【 0 0 4 5 】

次に、図 1 1 に示すように、基板 1 上に C V D 法で 7 0 n m 程度の窒化シリコン膜を堆積した後、異方的にエッチングすることによって、ゲート電極 G の側壁に膜厚 5 0 n m 程度のサイドウォールスペーサ 1 3 を形成する。

【 0 0 4 6 】

次いで、 p 型ウエル 4 p 上のゲート電極 G の両側に n 型不純物として例えばヒ素を注入する。また、 n 型ウエル 4 n 上のゲート電極 G の両側に p 型不純物として例えばフッ化ホウ素を注入し、例えば、 1 0 0 0 ° C 、 1 秒の熱処理を施すことにより、前記不純物を活性化させ、 n⁺型半導体領域 1 4 および p⁺型半導体領域 1 5 (ソース、ドレイン) を形成する。

【 0 0 4 7 】

この n⁺型半導体領域 1 4 および p⁺型半導体領域 1 5 (ソース、ドレイン) は、 S i G e 層 1 b まで延びている。なお、これらの領域を浅くし、 S i 層 1 c 中にその底部が存在しても良い。但し、 S i 層 1 c の引っ張り応力を大きくするためには、できるだけ S i 層 1 c の膜厚を薄くすることが望ましく、かかる場合には、 n⁺型半導体領域 1 4 および p⁺型半導体領域 1 5 (ソース、ドレイン) は、 S i G e 層 1 b まで延びることとなる。

【 0 0 4 8 】

ここまでの工程で、LDD (Lightly Doped Drain) 構造のソース、ドレイン (n^- 型半導体領域、 n^+ 型半導体領域、 p^- 型半導体領域および p^+ 型半導体領域) を備えた n チャネル型 MISFET Q_n および p チャネル型 MISFET Q_p が形成される。図 1 4 に、本実施の形態の半導体集積回路装置の基板の要部断面図を示す。

【 0 0 4 9 】

ここで、本実施の形態においては、歪み基板 1 上に MISFET を形成したので、チャネル領域における電子の移動度を向上させることができる。その結果、MISFET の電流駆動能力、特に、 n チャネル型 MISFET の電流駆動能力を向上させることができる。

【 0 0 5 0 】

また、本実施の形態においては、素子分離 SGI と SiGe 層 1 b との間に Si 膜 3 を形成したので、素子分離 SGI と Si 膜 3 との界面における電界準位密度を低減することができる。従って、これらの界面を介して流れるリーク電流を低減することができる。

【 0 0 5 1 】

即ち、図 1 5 に示すように、溝 2 の側壁と底部を直接酸化して、Si 酸化膜 6 a および SiGe 酸化膜 6 b を形成することも可能である。しかしながら、SiGe 酸化膜 6 b は、Si 酸化膜と比較し、界面準位密度が約 1 桁多く、溝 2 の内壁を直接酸化するだけでは、リーク電流対策が不十分である。即ち、図 1 5 に示すように、素子分離 (SiGe 酸化膜 6 b) の周囲に電子がトラップされ易くなり、素子分離の壁に沿ってリーク電流が流れる。

【 0 0 5 2 】

これに対し、本実施の形態によれば、素子分離 SGI と SiGe 層 1 b との界面には、SiGe 酸化膜 6 b が存在しないので、リーク電流を低減することができる。また、溝 2 の内壁に Si 膜 3 を形成しこの層を酸化することにより Si 酸化膜 6 を形成したので、CVD 絶縁膜 (7) と基板とが接触せず、これらの間の界面準位密度を低減することができる。

【 0 0 5 3 】

また、溝 2 の内壁に S i 酸化膜 6 の形成後においても S i 膜 3 を残存させたので、S i 酸化膜 6 と S i G e 層 1 b とが接触せず、これらの間の界面準位密度を低減することができる。

【 0 0 5 4 】

さらに、S i 膜 3 を残存させたので、S i 酸化膜 6 の形成後の熱処理、例えば、 O_3 -TEOS 膜 (7) のデンシファイ処理やソース、ドレイン (14、15) を構成する不純物の活性化処理等により、S i 酸化膜 6 の酸化がさらに進行しても、残存する S i 膜 3 が随時酸化されるため、S i G e 層 1 b の酸化を防止することができる。従って、S i G e 酸化膜による界面準位密度の上昇を抑えることができる。

【 0 0 5 5 】

また、本実施の形態のように、ウエルの濃度が比較的高い場合 (例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上の場合) や、素子分離上に導電性膜 (ゲート電極) が形成されている場合には、図 16 に示すように、素子分離 S G I の外周部に電子がトラップされ易くなる。

【 0 0 5 6 】

これは、素子分離上に導電性膜 (ゲート電極) と素子分離 S G I によって寄生の M O S トランジスタが構成され、導電性膜に電位が印加されると素子分離の外壁に電子が蓄積され、さらに、導電性膜に寄生 M O S の閾値電位 (V_t) 以上の電位が印加されると、この寄生 M O S トランジスタがオンする。また、ウエル濃度が高ければ、その表面に形成した熱酸化膜の界面準位密度が高くなることが一般的に知られている。

【 0 0 5 7 】

従って、本実施の形態は、この様な場合 (ウエルの濃度が比較的高い場合や、素子分離上にゲート電極が形成されている場合) に用いてより効果的である。

【 0 0 5 8 】

一方、図 17 に示すように、素子分離 S G I (6、7) の外周が、S i 膜 3 で覆われている場合であっても、素子分離 S G I が S i G e 層 1 b より深く形成さ

れている場合には、リーク電流の経路が制限される。

【 0 0 5 9 】

即ち、素子分離 S G I と S i G e 層 1 b との界面にトラップされた電子は、図 1 8 の斜線部を介して流れることとなる。図 1 8 は、図 1 7 に示す半導体集積回路装置の基板の要部平面図であり、図 1 7 は、図 1 8 の A - A 断面部に対応する。

【 0 0 6 0 】

これに対し、本実施の形態のように、素子分離 S G I の底部が、S i G e 層 1 b 中に位置する場合（図 1 参照）には、図 1 9 の斜線部に示すように、素子分離 S G I の底部を介してのリーク電流も生じ得るため、リーク電流の対策がより重要となる。

【 0 0 6 1 】

また、素子分離 S G I は、素子の微細化に伴い浅くなる傾向にある。これは、パターン面積が小さくなると、アスペクト比（溝深さ／パターン幅）が大きくなり、絶縁膜の埋め込み特性が劣化する等の理由によるものである。

【 0 0 6 2 】

従って、素子分離 S G I の底部が、S i G e 層 1 b 中に位置する場合には、本実施の形態を用いて好適である。

【 0 0 6 3 】

この後、図 1 2 に示すように、基板 1 上に、金属膜として例えば C o （コバルト）膜を堆積し、熱処理を施すことにより、かかる膜と、ゲート電極 G および基板 1 との接触部においてシリサイド化反応を起こさせ、自己整合的に C o S i₂（コバルトシリサイド膜）1 7 を形成する。次いで、未反応の C o 膜を除去し、さらに、熱処理を施す。

【 0 0 6 4 】

次いで、図 1 3 に示すように、基板 1 上に、層間絶縁膜として例えば酸化シリコン膜 1 9 を C V D 法で堆積し、必要に応じてその上部を平坦化する。次いで、M I S F E T（Q n、Q p）のソース、ドレイン（1 5、1 4）およびゲート電極上の酸化シリコン膜 1 9 をエッチングすることにより、コンタクトホール C 1

を形成する。なお、ゲート電極上のコンタクトホールを図示は省略する。

【 0 0 6 5 】

次いで、コンタクトホール C 1 内を含む酸化シリコン膜 1 9 上に、導電性膜として例えば W (タングステン膜) を堆積し、コンタクトホール C 1 外部の W 膜を CMP 法等を用い研磨除去することによりプラグ P 1 を形成する。

【 0 0 6 6 】

次いで、プラグ P 1 上を含む酸化シリコン膜 1 9 上に、導電性膜として例えば W 膜を堆積し、所望の形状にパターニングすることにより第 1 層配線 M 1 を形成する。

【 0 0 6 7 】

次いで、層間絶縁膜、プラグおよび配線の形成工程を繰り返すことによって、さらに、多層の配線を形成することができるが、その図示および詳細な形成工程の説明は、省略する。

【 0 0 6 8 】

この後、例えば、最上層配線上に、パッド部が開口した保護膜を形成し、ウエハ状態の基板 1 がダイシングされ、複数のチップが形成される。

【 0 0 6 9 】

さらに、パッド部と外部リードをバンプ電極やワイヤー等を用いて接続し、また、必要に応じ樹脂等を用いてチップの周辺を封止することにより半導体集積回路装置が完成する。

【 0 0 7 0 】

ここで、S i 膜 3 は、半導体集積回路装置の完成後においても残存していることが望ましい。

【 0 0 7 1 】

(実施の形態 2)

実施の形態 1 においては、S i 膜 3 を単結晶 S i 膜とし、エピタキシャル成長により形成したが、この膜を、多結晶シリコン膜としてもよい。

【 0 0 7 2 】

以下、本実施の形態の半導体集積回路装置をその製造方法に沿って説明する。

図 2 0 ～ 図 2 3 は、本実施の形態の半導体集積回路装置の製造方法を示す基板の要部断面図である。なお、溝 2 の形成工程までは、図 1 および図 2 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

【 0 0 7 3 】

即ち、溝 2 が形成された歪み基板 1 上に、図 2 0 に示すように、CVD法を用いて膜厚 2 0 n m 程度の多結晶シリコン膜 2 0 3 を堆積する。2 1 は、酸化シリコン膜、2 2 は、窒化シリコン膜である。

【 0 0 7 4 】

次いで、図 2 1 に示すように、多結晶シリコン膜 2 0 3 の表面を酸化し、Si 酸化膜（熱酸化膜）2 0 6 を形成する。この酸化処理の際、Si 膜 2 0 3 の表面から一定の厚さの Si 膜を酸化し、この酸化処理の後においても Si 膜 2 0 3 を残存させる。例えば、Si 膜 2 0 3 の膜厚 2 0 n m 中の 1 0 n m を酸化し、2 0 n m 程度の Si 酸化膜 2 0 6 とし、1 0 n m 程度の Si 膜 2 0 3 を残存させる。また、この酸化処理により、溝の底部のコーナー部（a 1）に位置する Si 酸化膜 6 がラウンド化する。その結果、コーナー部への応力集中による結晶欠陥の発生を抑制することができる。

【 0 0 7 5 】

次いで、図 2 2 に示すように、溝 2 の内部を含む基板 1 上（Si 酸化膜 2 0 6 上）に、絶縁膜として CVD 法により酸化シリコン膜 7 を堆積する。この酸化シリコン膜は、例えば、実施の形態 1 で説明した O_3 -TEOS 膜である。次いで、酸素雰囲気下で O_3 -TEOS 膜に熱処理を施し、膜中の不純物を除去し、また、膜を緻密化する。

【 0 0 7 6 】

次に、図 2 3 に示すように、酸化シリコン膜 7 を窒化シリコン膜 2 2 が露出するまで、例えば CMP 法により研磨し、その表面を平坦化する。次いで、窒化シリコン膜 2 2 を除去する。

【 0 0 7 7 】

その結果、溝 2 の内壁の Si 膜 2 0 3 と、Si 酸化膜 2 0 6 および酸化シリコン膜 7 よりなる素子分離 SGI とが完成する。この素子分離 SGI で囲まれた領

域が、素子形成領域となる（図 1 4 参照）。なお、素子分離 S G I の表面は徐々に後退する。また、ウェル内分離（I S O p - p）の幅 H 1 は、例えば 0. 2 μ m 程度であり、ウェル間分離（I S O n - p）の幅 H 2 は幅 H 1 より大きく、例えば 0. 4 μ m 程度である。

【 0 0 7 8 】

この後、素子形成領域に M I S F E T（Q n、Q p）等を形成するのであるが、以降の形成工程は、実施の形態 1 において、図 9 ～図 1 4 を参照しながら説明した実施の形態 1 の場合と同様であるためその詳細な説明を省略する。

【 0 0 7 9 】

本実施の形態においても、実施の形態 1 と同様の効果を奏する。なお、素子分離 S G I と基板 1 との間の界面準位は、多結晶シリコン膜を介するより、実施の形態 1 の単結晶の S i 膜を介する方がその密度が小さいと考えられる。

【 0 0 8 0 】

（実施の形態 3）

実施の形態 1 および 2 においては、S i 酸化膜（6、2 0 6）上に直接 C V D 絶縁膜（7）を堆積したが、これらの膜の間に、窒化シリコン膜を形成してもよい。

【 0 0 8 1 】

以下、本実施の形態の半導体集積回路装置をその製造方法に沿って説明する。図 2 4 ～図 2 8 は、本実施の形態の半導体集積回路装置の製造方法を示す基板の要部断面図である。なお、S i 酸化膜 6 の形成工程までは、図 1 ～図 5 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。また、実施の形態 1（図 5）で詳細に説明したように、溝の底部のコーナー部（a 1）や溝の側壁上部のコーナー部（a 2）に位置する S i 酸化膜 6 はラウンド化しているが、図 2 4 においてはかかる部分の図を簡略化して記載してある。

【 0 0 8 2 】

（1）即ち、S i 酸化膜 6 が形成された歪み基板 1 上に、図 2 4 に示すように、C V D 法を用いて膜厚 1 0 n m 程度の窒化シリコン膜 3 0 6 を堆積する。なお、2 1 は、酸化シリコン膜、2 2 は、窒化シリコン膜である。

【 0 0 8 3 】

次いで、図 2 5 に示すように、溝 2 の内部を含む基板 1 上（窒化シリコン膜 3 0 6 上）に、絶縁膜として C V D 法により酸化シリコン膜 7 を堆積する。この酸化シリコン膜は、例えば、実施の形態 1 で説明した O_3 -T E O S 膜である。次いで、酸素雰囲気下で O_3 -T E O S 膜に熱処理を施し、膜中の不純物を除去し、また、膜を緻密化する。

【 0 0 8 4 】

次に、図 2 6 に示すように、酸化シリコン膜 7 を窒化シリコン膜 2 2 が露出するまで、例えば C M P 法により研磨し、その表面を平坦化する。次いで、窒化シリコン膜 2 2 を除去する。

【 0 0 8 5 】

その結果、溝 2 の内壁の S i 膜 3 と、S i 酸化膜 6、窒化シリコン膜 3 0 6 および酸化シリコン膜 7 よりなる素子分離 S G I とが完成する。この素子分離 S G I で囲まれた領域が、素子形成領域となる（図 1 4 参照）。なお、素子分離 S G I の表面は徐々に後退する。また、ウェル内分離（I S O p - p）の幅 H 1 は、例えば $0.2 \mu m$ 程度であり、ウェル間分離（I S O n - p）の幅 H 2 は幅 H 1 より大きく、例えば $0.4 \mu m$ 程度である。

【 0 0 8 6 】

この後、素子形成領域に M I S F E T（Q n、Q p）等を形成するのであるが、以降の形成工程は、実施の形態 1 において、図 9 ～図 1 4 を参照しながら説明した実施の形態 1 の場合と同様であるためその詳細な説明を省略する。

【 0 0 8 7 】

本実施の形態においても、実施の形態 1 と同様の効果を奏する。さらに、S i 酸化膜 6 上に窒化シリコン膜 3 0 6 を形成したので、S i 酸化膜 6 の形成後の熱処理、例えば、実施の形態 1 で詳細に説明した O_3 -T E O S 膜（7）のデンシファイ処理やソース、ドレイン（1 4、1 5）を構成する不純物の活性化処理等による、S i 酸化膜 6 の酸化の進行を抑えることができる。従って、S i 膜 3 の酸化を抑えることができ、S i 膜 3 の残留を確実にすることができる。また、S i 酸化膜 6 の酸化が進行すると、体積膨張が起こり素子分離に応力が印加され、

結晶欠陥が生じやすくなる。従って、窒化シリコン膜 3 0 6 を形成することで、応力の影響を小さくでき、結晶欠陥の発生を抑制することができる。

【 0 0 8 8 】

(2) また、S i 酸化膜 6 が形成された歪み基板 1 上に、C V D 法を用いて膜厚 1 0 n m 程度の窒化シリコン膜 3 0 6 を堆積した後、図 2 7 に示すように、窒化シリコン膜を異方的にエッチングすることにより、溝 2 の側壁部のみに窒化シリコン膜 3 0 6 a を残存させてもよい。なお、溝のコーナー部 (a 1、a 2) に位置する S i 酸化膜 6 はラウンド化しているが、図 2 7 においてはかかる部分の図を簡略化して記載してある。

【 0 0 8 9 】

この後、前記 (1) の場合と同様に、溝 2 の内部を含む基板 1 上に、絶縁膜として C V D 法により酸化シリコン膜 7 を堆積し、酸化シリコン膜 7 を窒化シリコン膜 2 2 が露出するまで研磨し、その表面を平坦化する (図 2 8) 。次いで、窒化シリコン膜 2 2 を除去する。

【 0 0 9 0 】

このように、窒化シリコン膜 3 0 6 a を溝の側壁部にのみ残しても、S i 酸化膜 6 の酸化の進行を抑えることができる。即ち、溝の底部は、厚い酸化シリコン膜 7 で覆われるため、S i 酸化膜 6 の酸化の進行は遅いと考えられる。従って、酸化の影響が大きい、溝の側壁部のみに窒化シリコン膜 3 0 6 a を残存させることにより、S i 膜 3 の酸化を抑えることができる。また、結晶欠陥を低減できる。

【 0 0 9 1 】

なお、本実施の形態においては、実施の形態 1 を参照しながら S i 酸化膜 6 上に窒化膜を形成する場合について説明したが、実施の形態 2 の S i 酸化膜 2 0 6 上にも同様の工程で窒化膜を形成することができる。

【 0 0 9 2 】

(実施の形態 4)

以下、本実施の形態の半導体集積回路装置をその製造方法に沿って説明する。図 2 9 ～図 3 3 は、本実施の形態の半導体集積回路装置の製造方法を示す基板の

要部断面図である。なお、溝 2 の形成工程までは、図 1 および図 2 を参照しながら説明した実施の形態 1 の場合と同様であるためその説明を省略する。

【 0 0 9 3 】

まず、溝 2 が形成された歪み基板 1 の表面を酸化することにより、図 2 9 に示すように、Si 酸化膜 4 0 2 a と Si Ge 酸化膜 4 0 2 b を形成する。これらの酸化膜の膜厚は、2 0 n m 程度である。

【 0 0 9 4 】

次いで、図 3 0 に示すように、例えば、 H_2O （水）を用いて Si Ge 酸化膜 4 0 2 b のみを選択的に除去し、Si 酸化膜 4 0 2 a は残存させる。即ち、Si Ge 酸化膜 4 0 2 b を Si 酸化膜に対して高選択比の条件でエッチングする。Si Ge 酸化膜は、水に溶解する性質を有するため、容易に除去可能である。

【 0 0 9 5 】

その結果、溝 2 の内壁のうち、Si Ge 層 1 b のみが露出し、Si 層 1 c 上は、Si 酸化膜 4 0 2 a で覆われる。

【 0 0 9 6 】

次いで、還元処理、例えば、水素雰囲気中での熱処理を行うことにより、溝部から露出した Si Ge 層 1 b 上の表面の自然酸化膜を除去する。次いで、図 3 1 に示すように、露出した Si Ge 層 1 b 上に単結晶 Si をエピタキシャル成長させることにより、膜厚 2 0 n m 程度の Si 膜 4 0 3 を形成する。ここで、溝側壁の Si 層 1 c 上には、Si 酸化膜 4 0 2 a が残存しているため、Si は成長しない。

【 0 0 9 7 】

次いで、図 3 2 に示すように、溝 2 の内壁の Si 膜 4 0 3 の表面を酸化し、Si 酸化膜（熱酸化膜）4 0 6 を形成する。

【 0 0 9 8 】

次いで、図 3 3 に示すように、溝 2 の内部（Si 酸化膜 4 0 2 a および 4 0 6 上）を含む基板 1 上に、絶縁膜として CVD 法により酸化シリコン膜 7 を堆積する。この酸化シリコン膜は、例えば、実施の形態 1 で説明した O_3 -TEOS 膜である。次いで、酸素雰囲気下で O_3 -TEOS 膜に熱処理を施し、膜中の不純

物を除去し、また、膜を緻密化する。

【0099】

次に、酸化シリコン膜7を窒化シリコン膜22が露出するまで、例えばCMP法により研磨し、その表面を平坦化する。次いで、窒化シリコン膜22を除去する。

【0100】

その結果、溝2の内壁のSi膜403と、Si酸化膜402a、406および酸化シリコン膜7よりなる素子分離SGIとが完成する。この素子分離SGIで囲まれた領域が、素子形成領域となる（図14参照）。なお、素子分離SGIの表面は徐々に後退する。また、ウエル内分離（ISOP-p）の幅H1は、例えば0.2 μ m程度であり、ウエル間分離（ISON-p）の幅H2は幅H1より大きく、例えば0.4 μ m程度である。

【0101】

この後、素子形成領域にMISFET（Qn、Qp）等を形成するのであるが、以降の形成工程は、実施の形態1において、図9～図14を参照しながら説明した実施の形態1の場合と同様であるためその詳細な説明を省略する。

【0102】

本実施の形態においても、実施の形態1と同様の効果を奏する。さらに、本実施の形態においては、Si酸化膜402aをマスクとし、溝内部のSiGe1b上のみにSiをエピタキシャル成長させたので、Si膜403中には、Si層1cから成長した部分とSiGe層1bから成長した部分との境界がなく（図3参照）、膜質を向上させることができる。

【0103】

即ち、Si層中に前記境界が存在すると結晶格子の不連続面が形成され、結晶欠陥を発生させる恐れがある。

【0104】

しかしながら、本実施の形態によれば、Si膜403中に不連続面が形成されるのを回避でき、残存するSi膜403の結晶欠陥を低減することができる。

【0105】

なお、本実施の形態に実施の形態 3 を適用してもよい。即ち、本実施の形態の Si 酸化膜 4 0 6 上に窒化シリコン膜を形成してもよい。

【0 1 0 6】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0 1 0 7】

特に、前記実施の形態においては、M I S F E T を形成する場合について説明したが、この他の半導体素子、例えば、バイポーラトランジスタ等、基板表面の電流経路（チャネル）および素子分離を有する半導体集積回路装置に広く適用可能である。

【0 1 0 8】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0 1 0 9】

SiGe 層と、その上部にエピタキシャル成長された第 1 の Si 層とを有する歪み基板の、素子分離領域に形成された溝とその内部の絶縁膜よりなる素子分離であって、第 1 の Si 層を貫通し、SiGe 層の途中にその底部を有する素子分離と、SiGe 層との間に第 2 の Si 層を形成したので、歪み基板の素子分離特性を向上させることができる。また、歪み基板の主表面に形成される半導体集積回路の特性を向上させることができる。また、装置の歩留まりを向上させることができる。

【0 1 1 0】

特に、ウェルが高濃度化し、もしくは素子分離上に導電性膜が配置されるような場合においても、素子分離を介するリーク電流を低減でき、素子分離特性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 4】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 5】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 6】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 7】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 8】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 9】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 10】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 1】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 2】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 3】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 1 4】

本発明の実施の形態 1 の半導体集積回路装置の製造方法を示す基板の要部平面図である。

【図 1 5】

本発明の実施の形態 1 の効果を説明するための半導体集積回路装置を示す基板の要部断面図である。

【図 1 6】

本発明の実施の形態 1 の効果を説明するための半導体集積回路装置を示す基板の要部断面図である。

【図 1 7】

本発明の実施の形態 1 の効果を説明するための半導体集積回路装置を示す基板の要部断面図である。

【図 1 8】

本発明の実施の形態 1 の効果を説明するための半導体集積回路装置を示す基板の要部平面図である。

【図 1 9】

本発明の実施の形態 1 の効果を説明するための半導体集積回路装置を示す基板の要部平面図である。

【図 2 0】

本発明の実施の形態 2 の半導体集積回路装置の製造方法を示す基板の要部断面

図である。

【図 2 1】

本発明の実施の形態 2 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 2】

本発明の実施の形態 2 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 3】

本発明の実施の形態 2 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 4】

本発明の実施の形態 3 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 5】

本発明の実施の形態 3 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 6】

本発明の実施の形態 3 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 7】

本発明の実施の形態 3 の他の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 8】

本発明の実施の形態 3 の他の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 2 9】

本発明の実施の形態 4 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 0】

本発明の実施の形態 4 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 1】

本発明の実施の形態 4 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 2】

本発明の実施の形態 4 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

【図 3 3】

本発明の実施の形態 4 の半導体集積回路装置の製造方法を示す基板の要部断面図である。

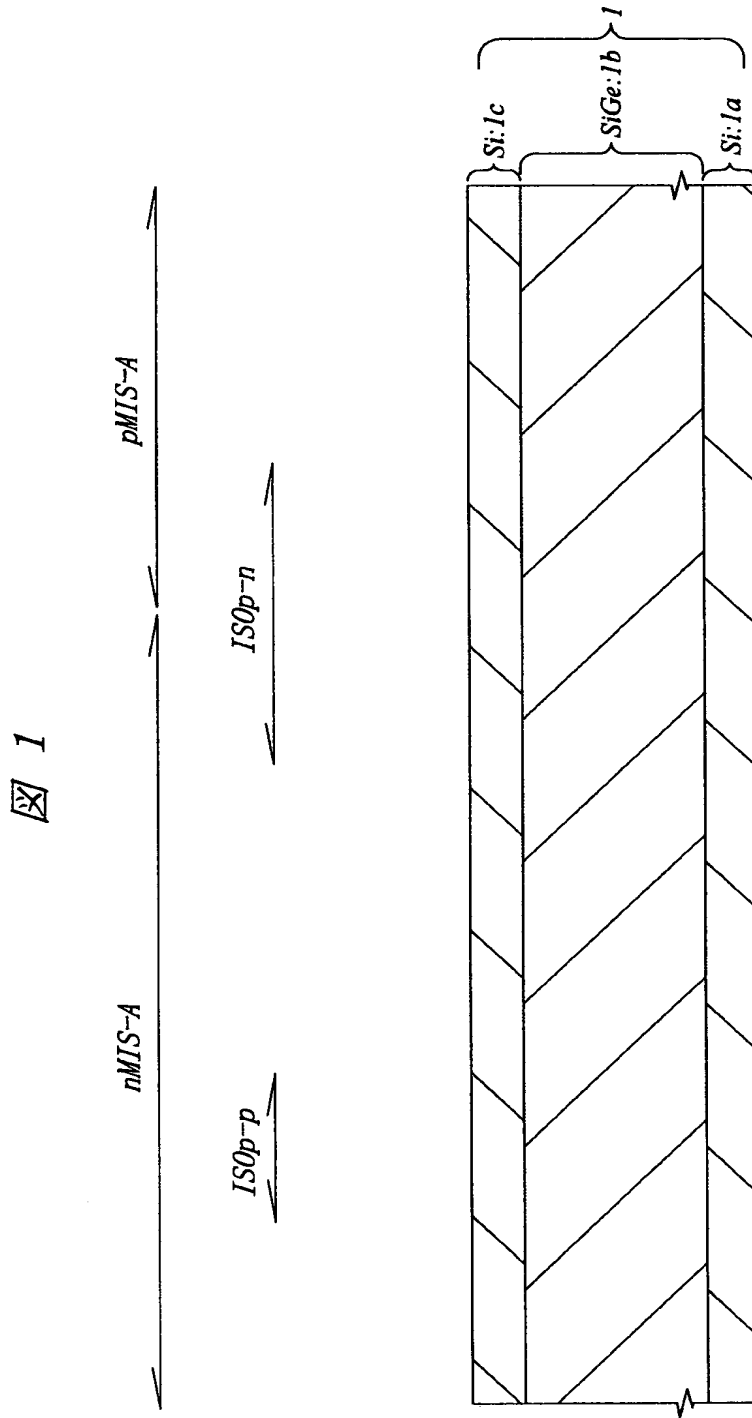
【符号の説明】

- 1 半導体基板（基板、歪み基板）
- 1 a Si 層（単結晶シリコン層）
- 1 b SiGe 層
- 1 c Si 層（単結晶シリコン層）
- 2 溝
- 3 Si 膜
- 4 n n 型ウエル
- 4 p p 型ウエル
- 6 Si 酸化膜
- 6 a Si 酸化膜
- 6 b SiGe 酸化膜
- 7 酸化シリコン膜
- 8 ゲート酸化膜
- 9 多結晶シリコン膜
- 1 1 n⁻型半導体領域
- 1 2 p⁻型半導体領域
- 1 3 サイドウォールスペーサ

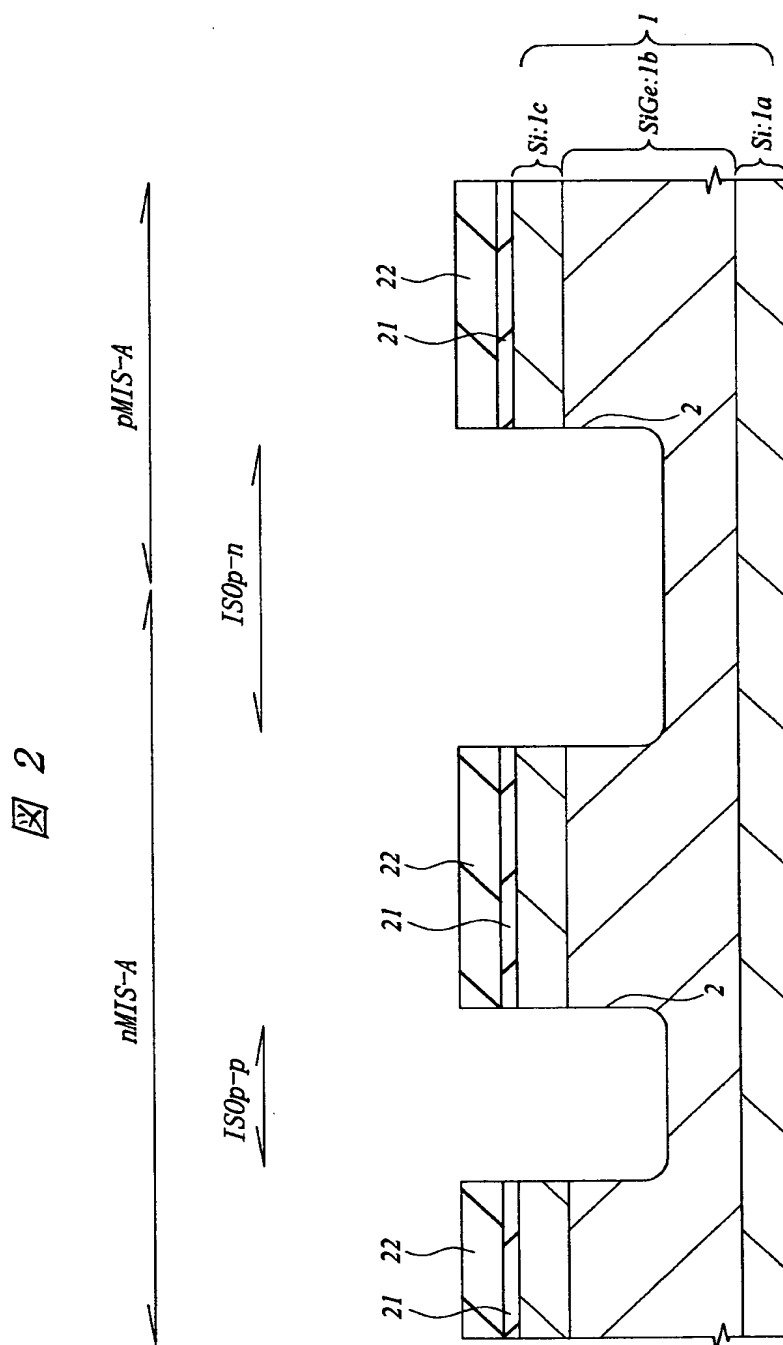
1 4 n^+ 型半導体領域
 1 5 p^+ 型半導体領域
 1 7 $CoSi_2$ 膜
 1 9 酸化シリコン膜
 2 1 酸化シリコン膜
 2 2 窒化シリコン膜
 6 0 単結晶シリコン層
 2 0 3 Si 膜 (多結晶シリコン膜)
 2 0 6 Si 酸化膜
 3 0 6 窒化シリコン膜
 3 0 6 a 窒化シリコン膜
 4 0 2 a Si 酸化膜
 4 0 2 b SiGe 酸化膜
 4 0 3 Si 膜
 4 0 6 Si 酸化膜
 C 1 コンタクトホール
 G ゲート電極
 H 1 ウエル内分離の幅
 H 2 ウエル間分離の幅
 I S O p - p ウエル内分離
 I S O n - p ウエル間分離
 M 1 第 1 層配線
 P 1 プラグ
 Q n nチャネル型MISFET
 Q p pチャネル型MISFET
 S G I 素子分離
 nMIS-A nチャネル型MISFETの形成領域
 pMIS-A pチャネル型MISFETの形成領域

【書類名】 図面

【図 1】

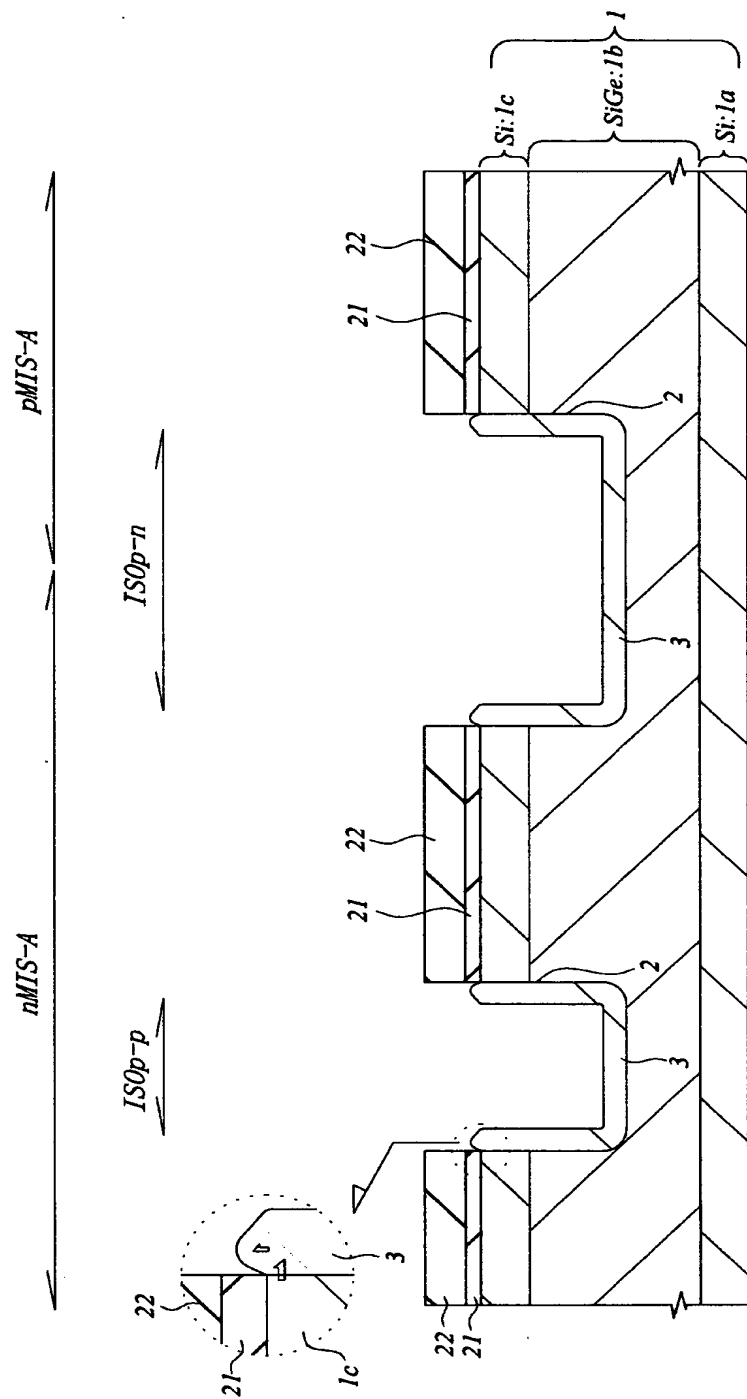


【図 2】

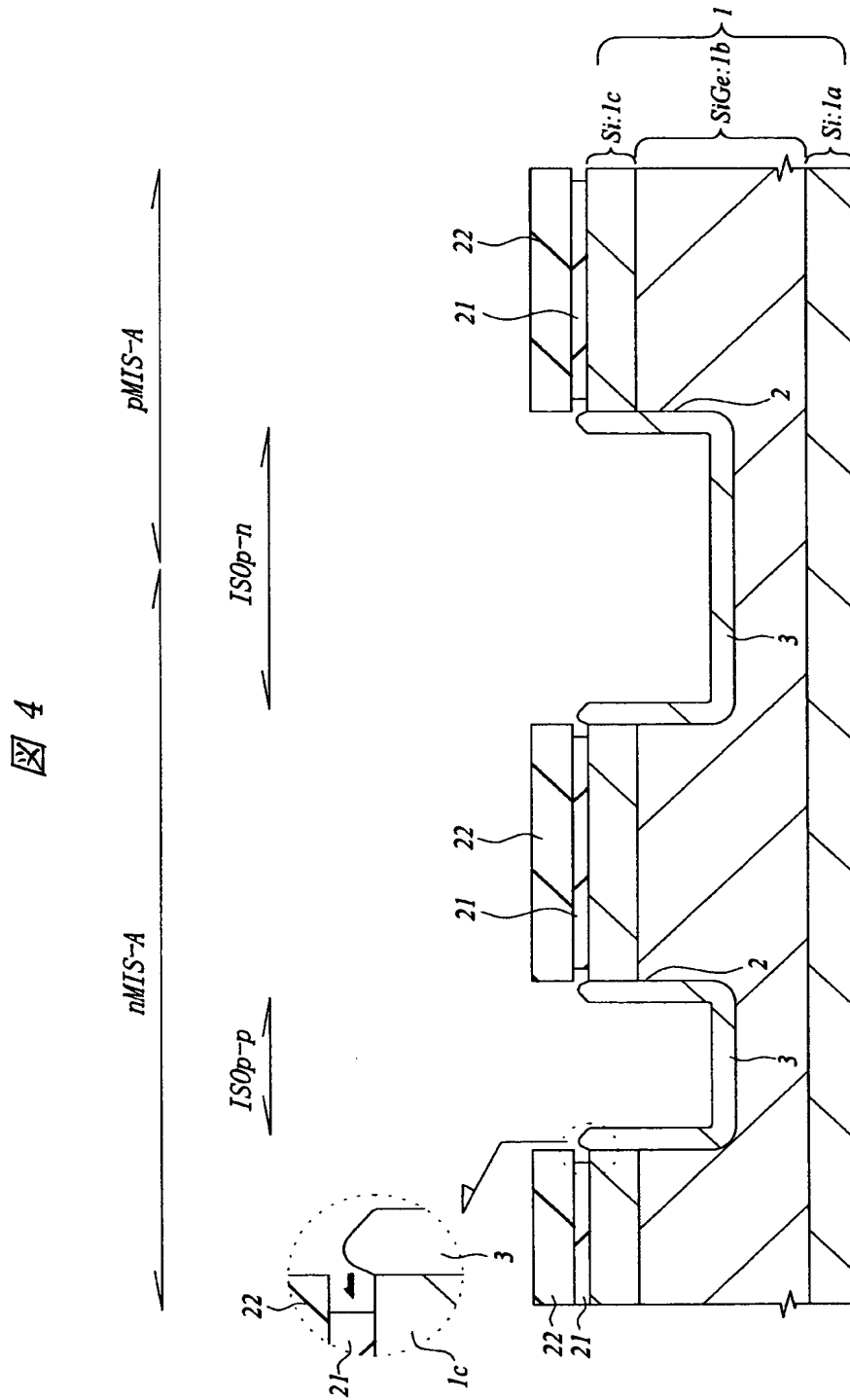


【図 3】

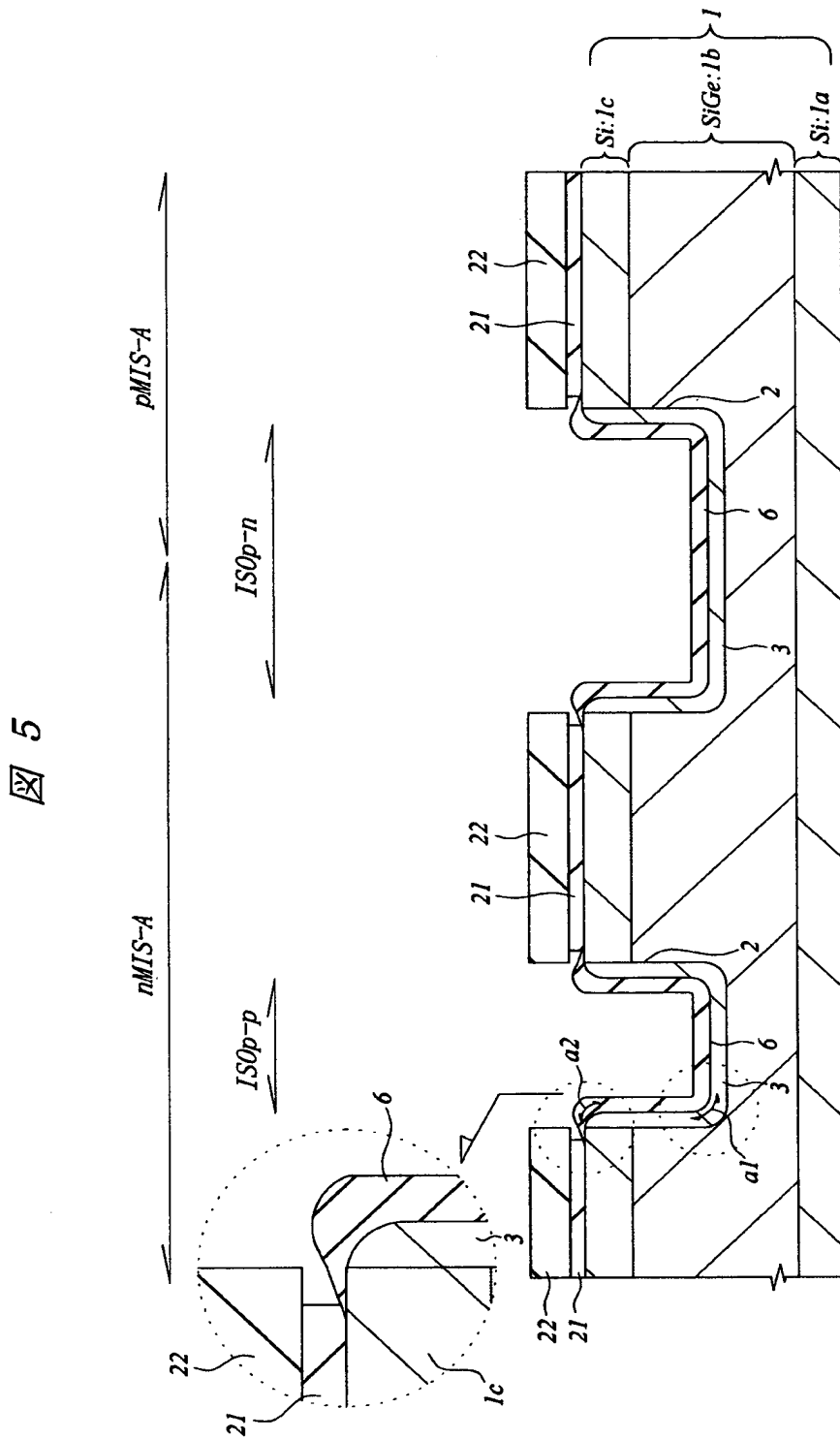
図 3



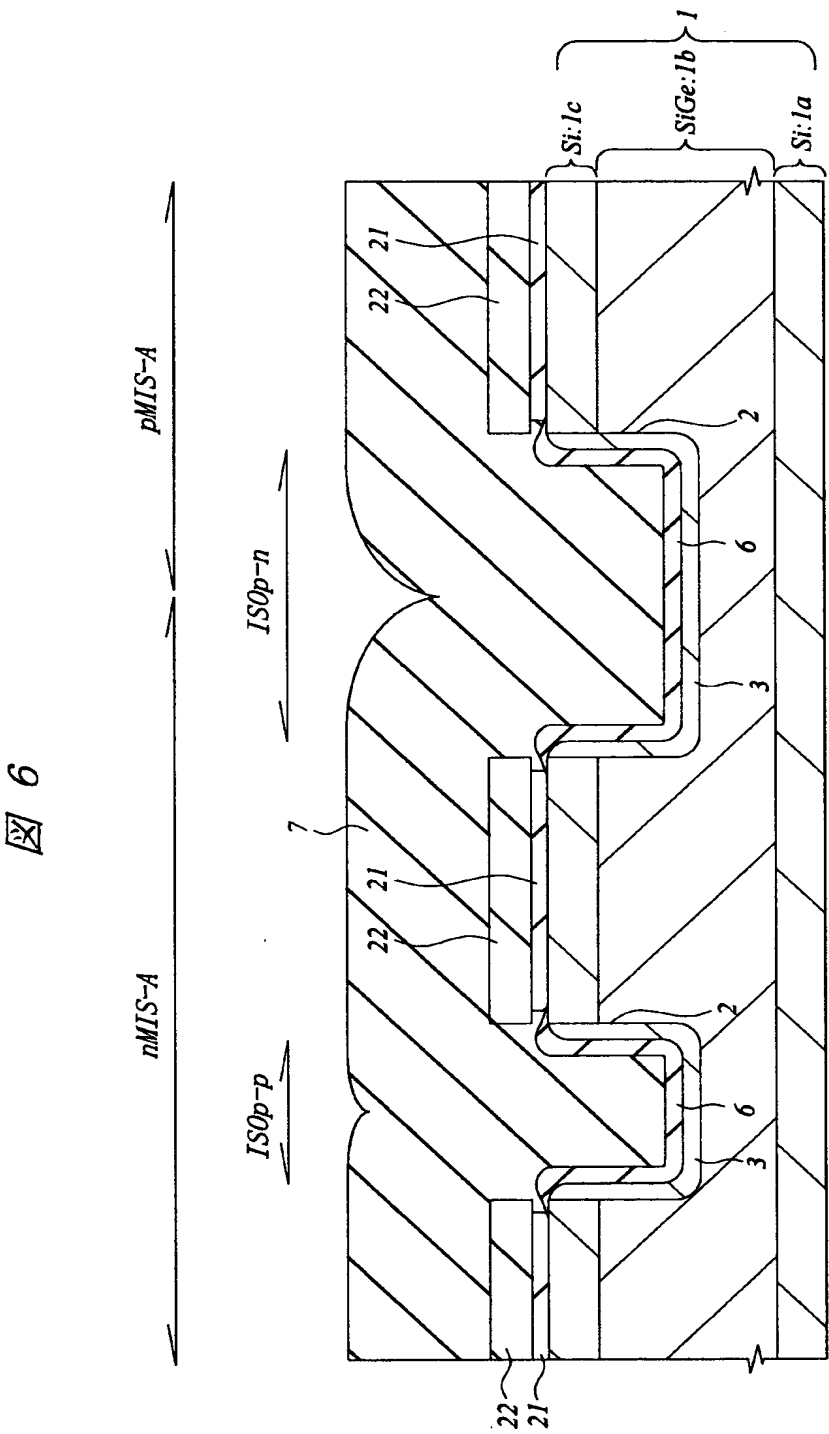
【図 4】



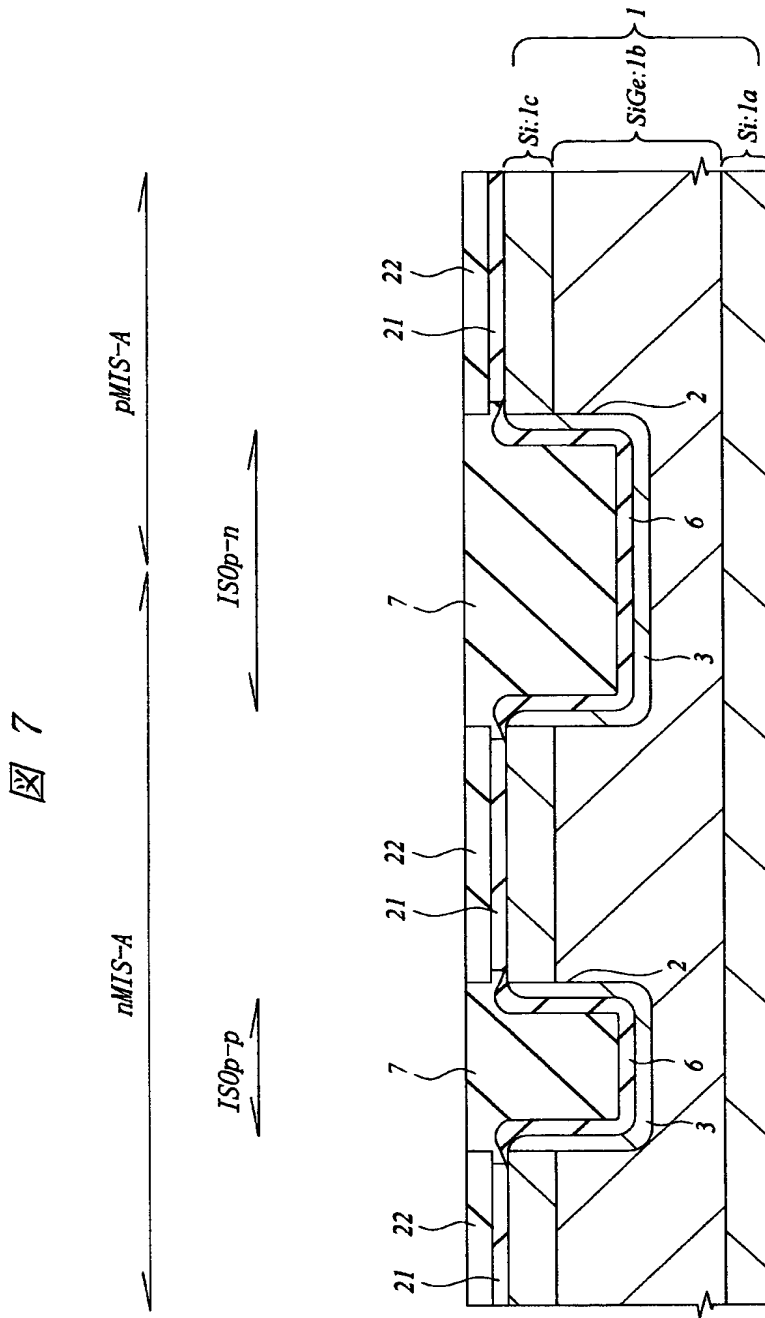
【図 5】



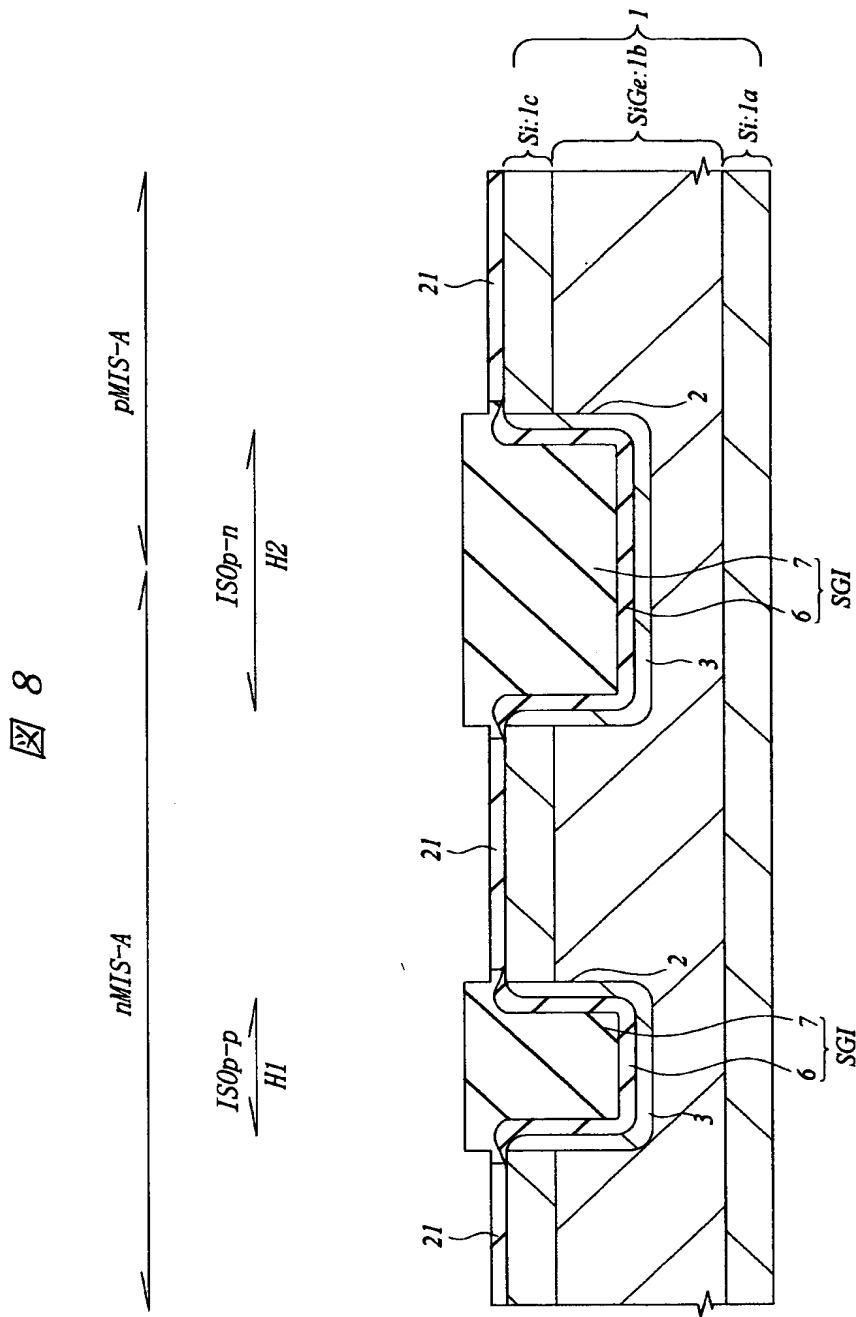
【図 6】



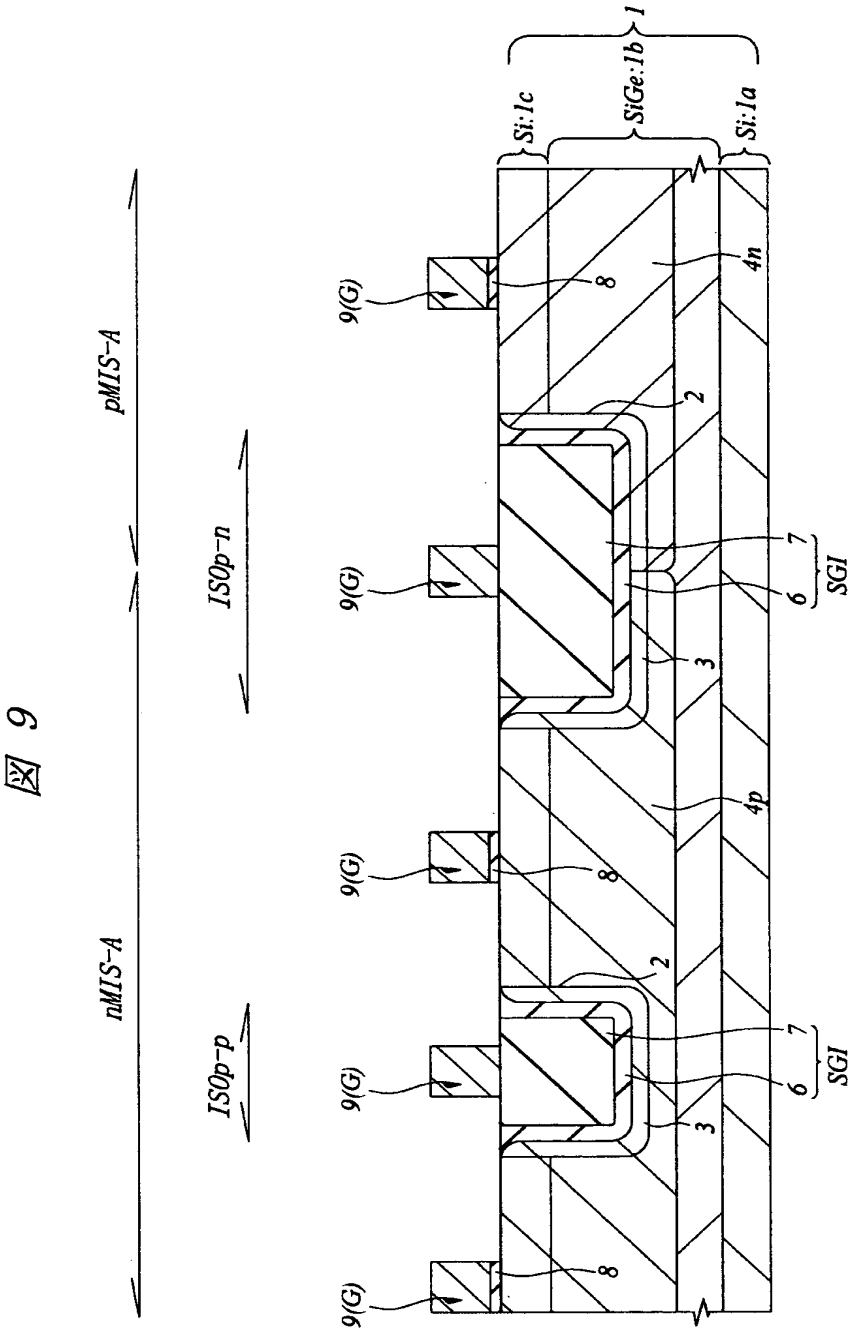
【図 7】



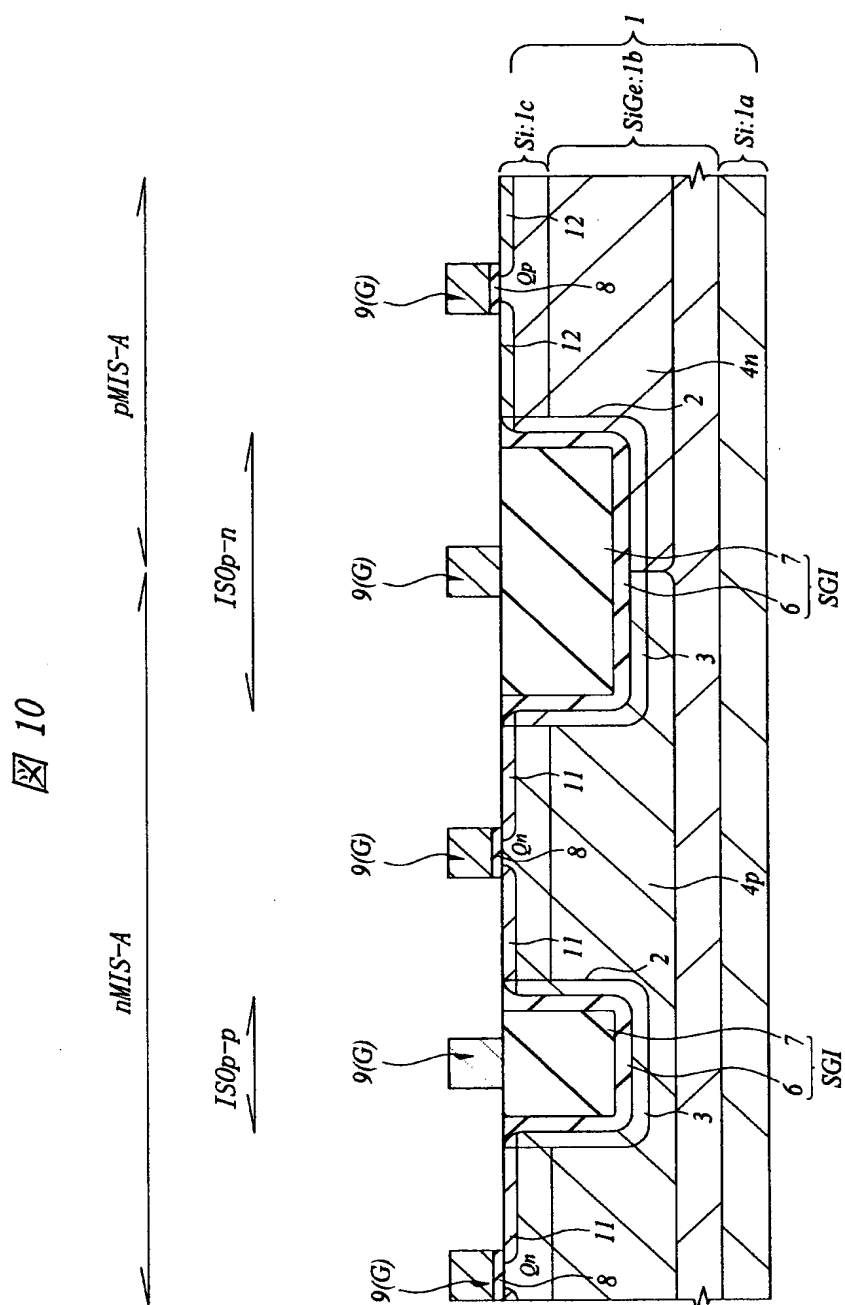
【図 8】



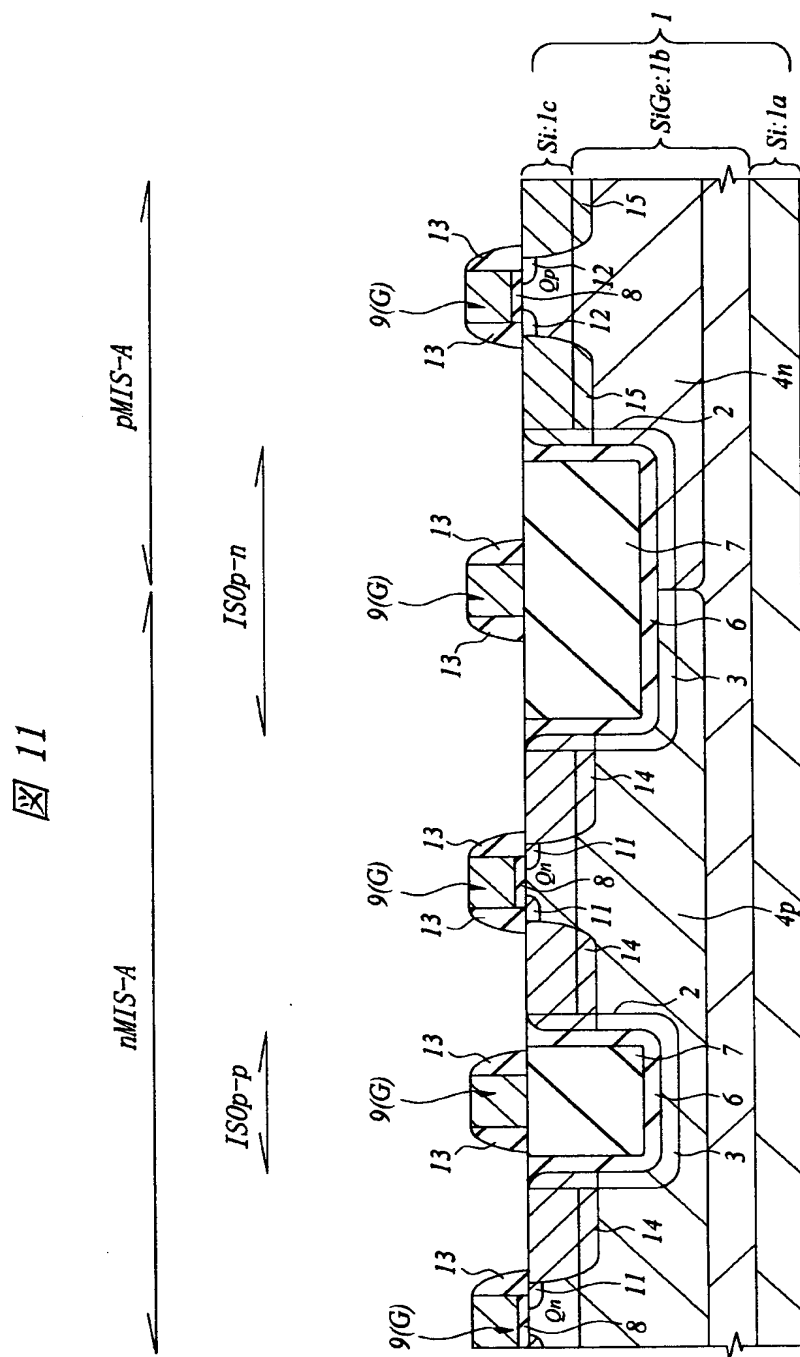
【図 9】



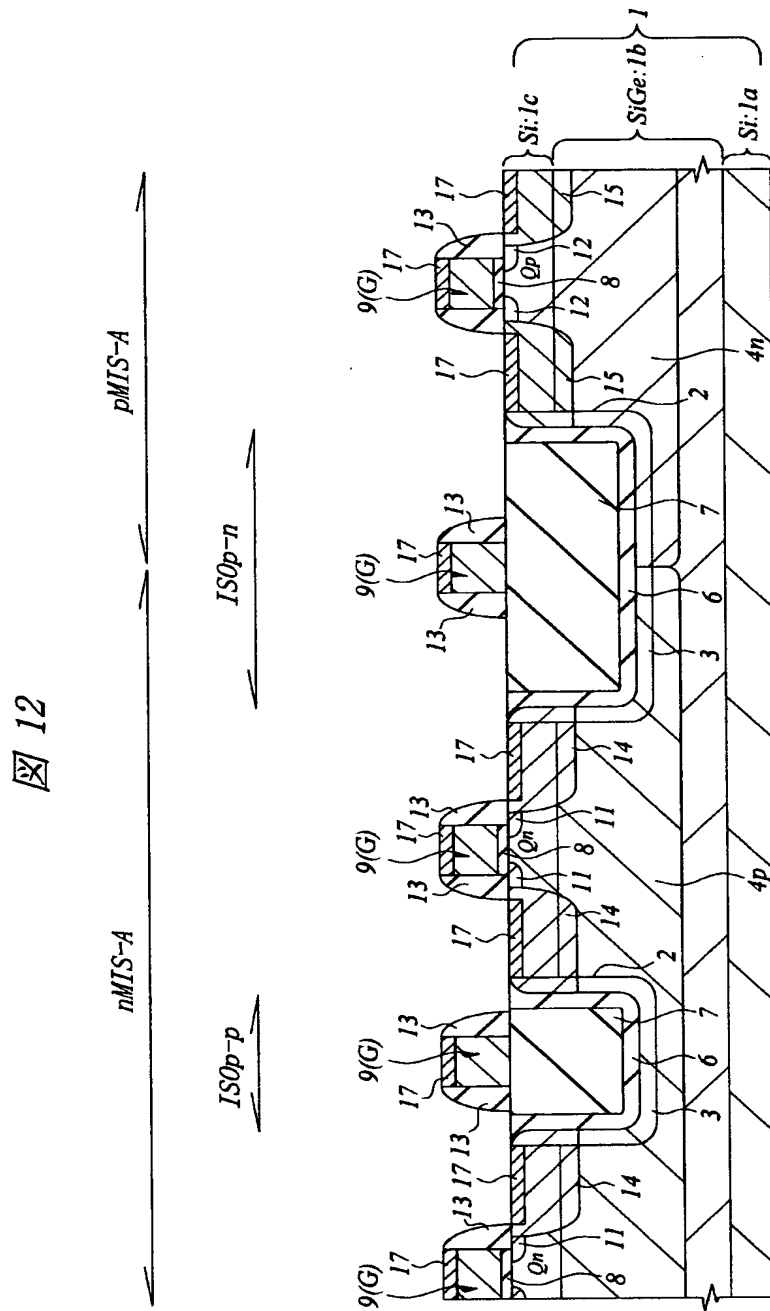
【図 10】



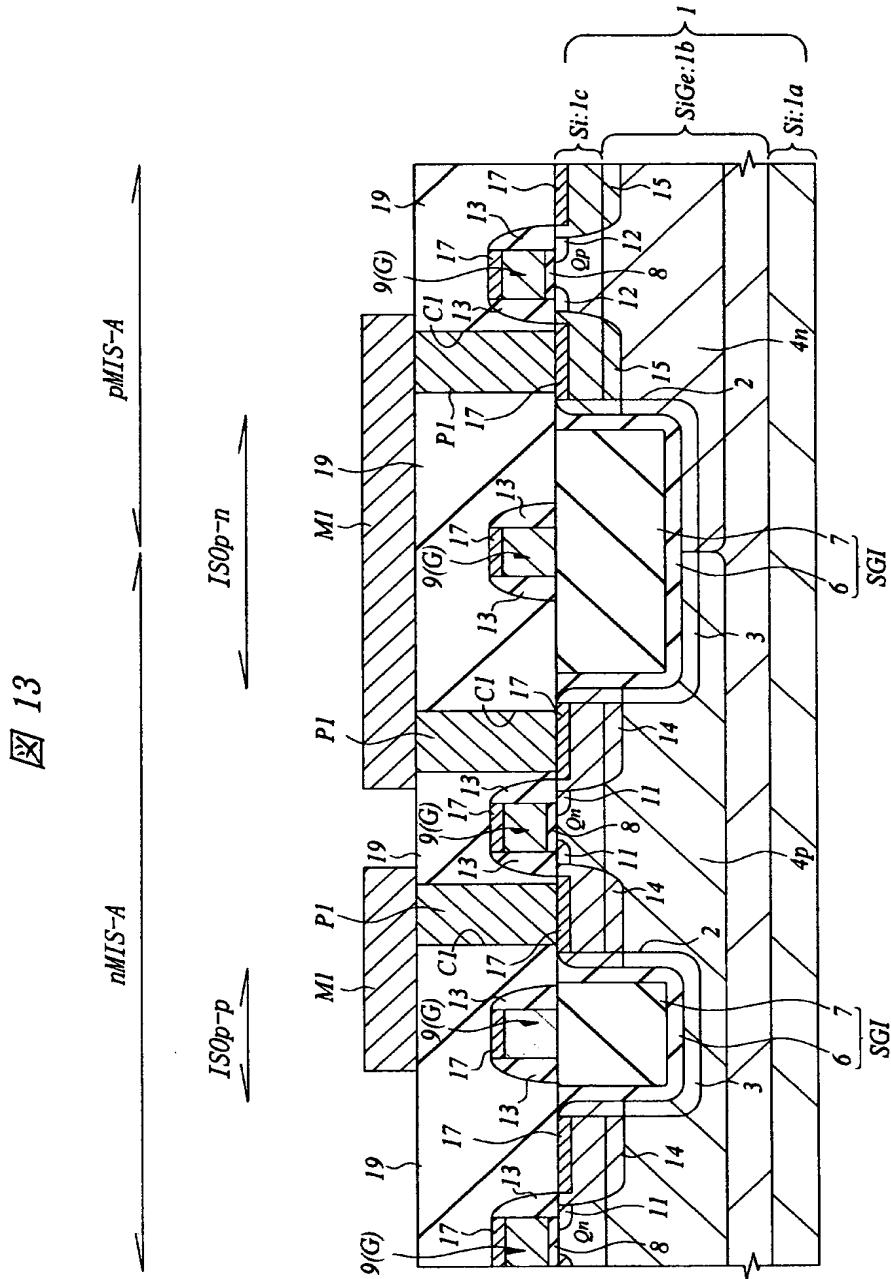
【図 11】



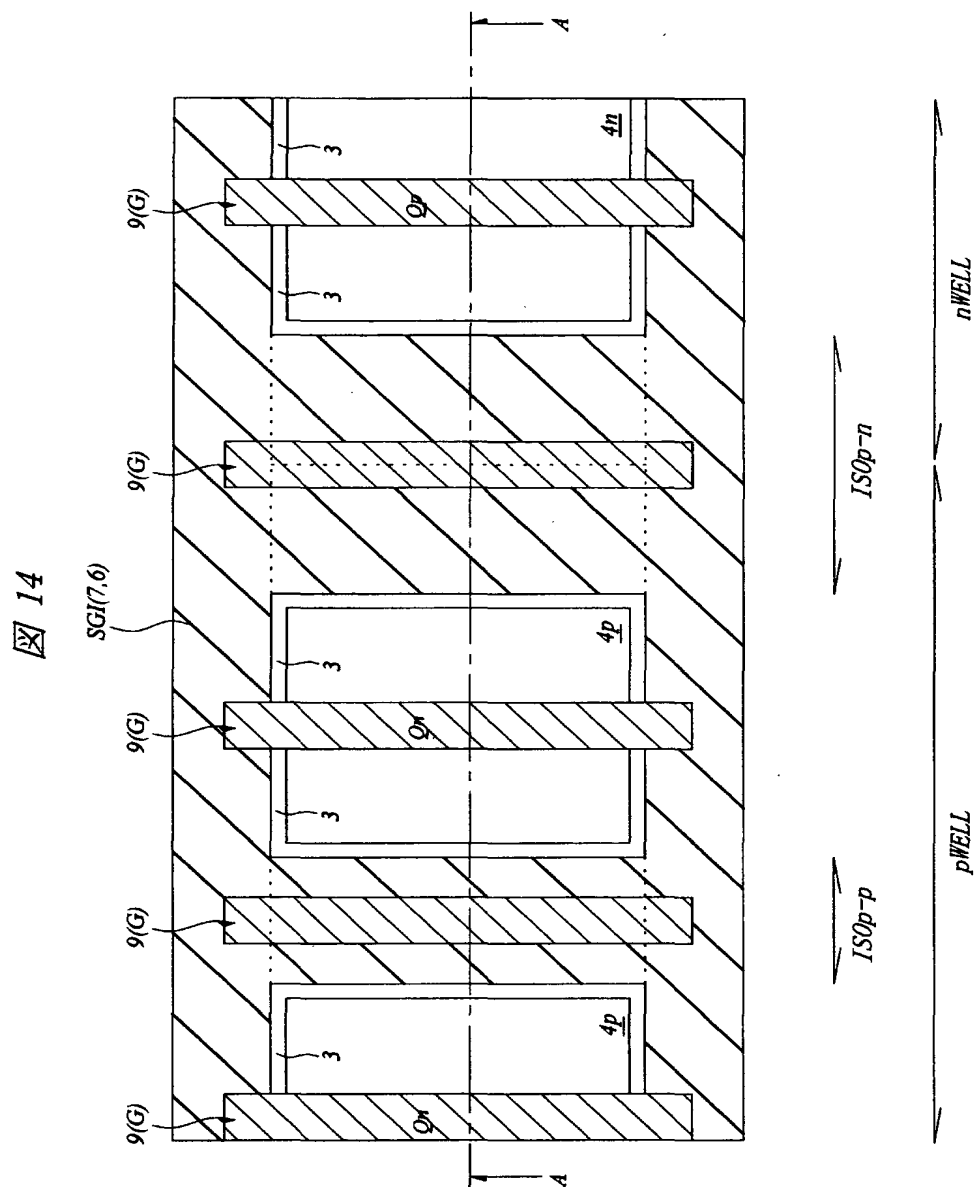
【図 12】



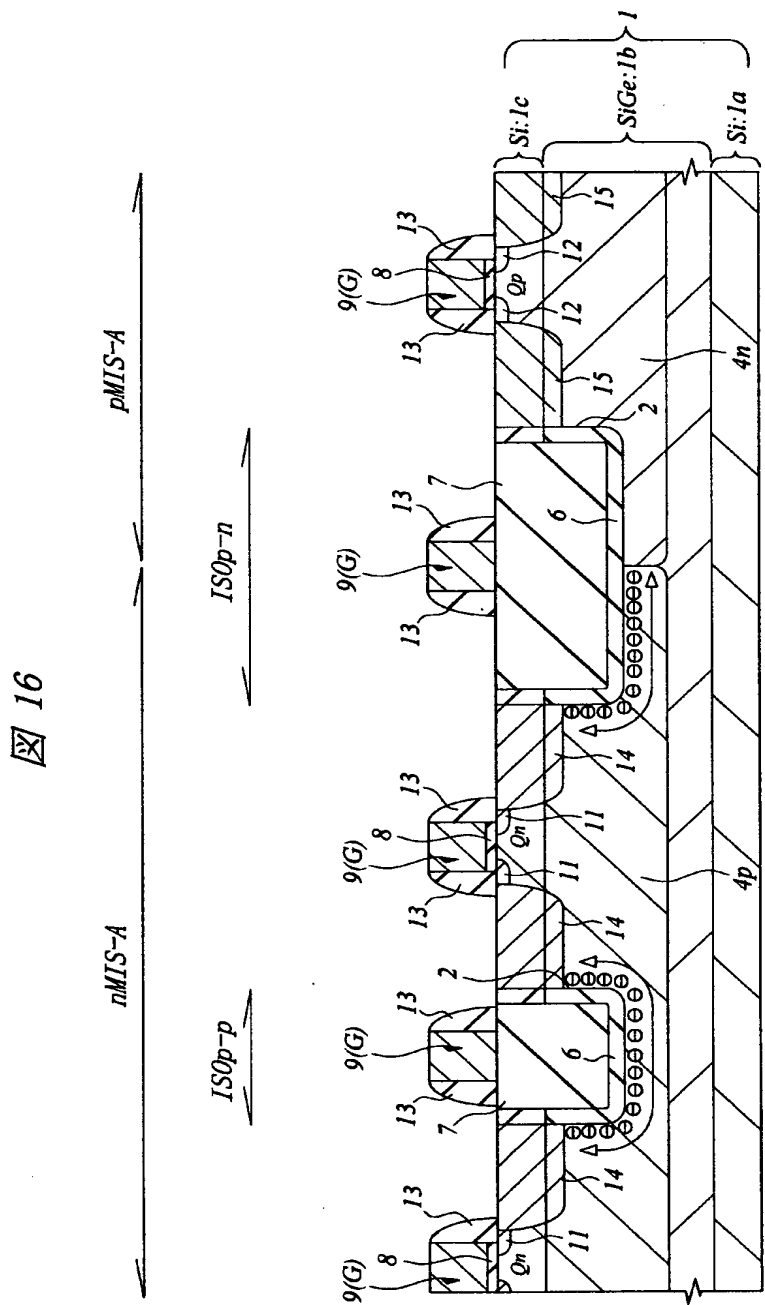
【図 13】



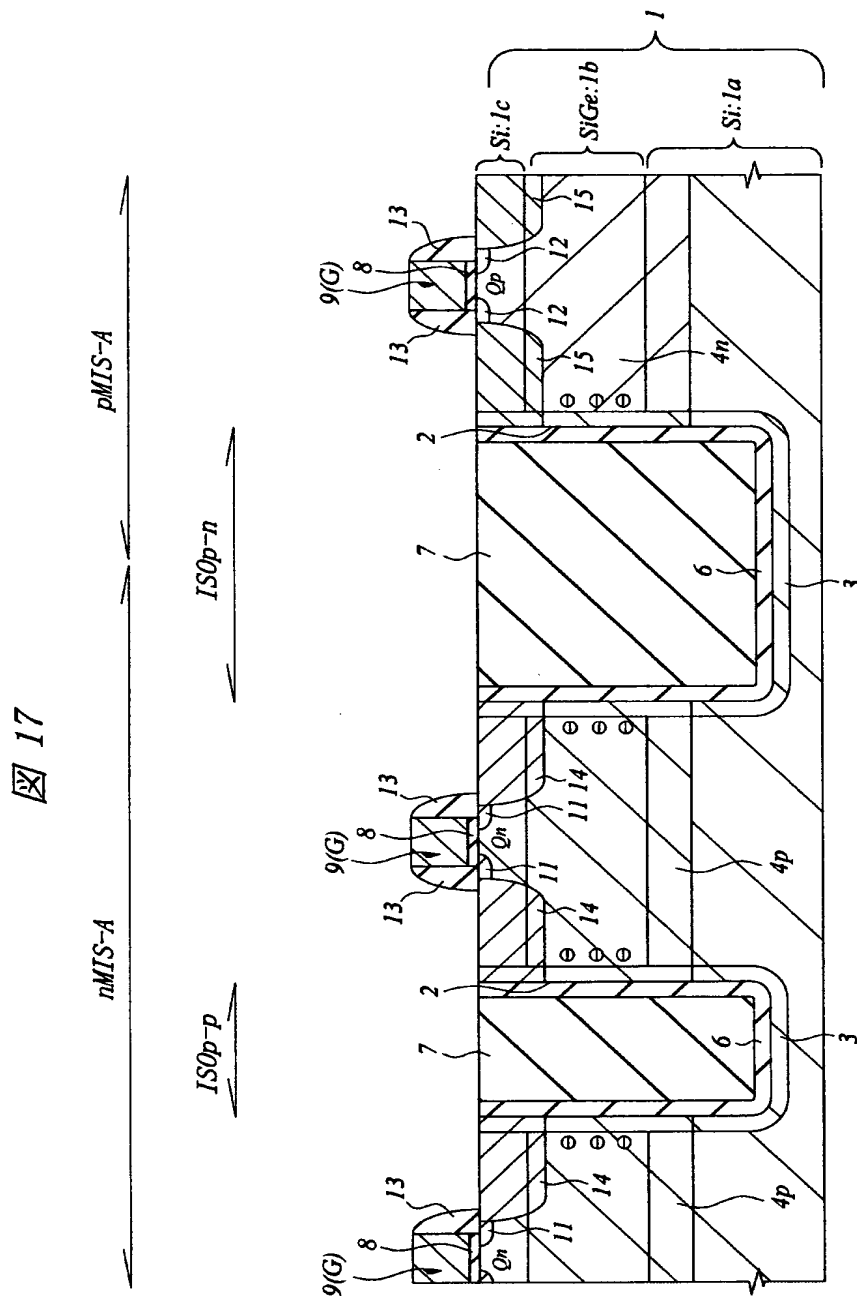
【図 14】



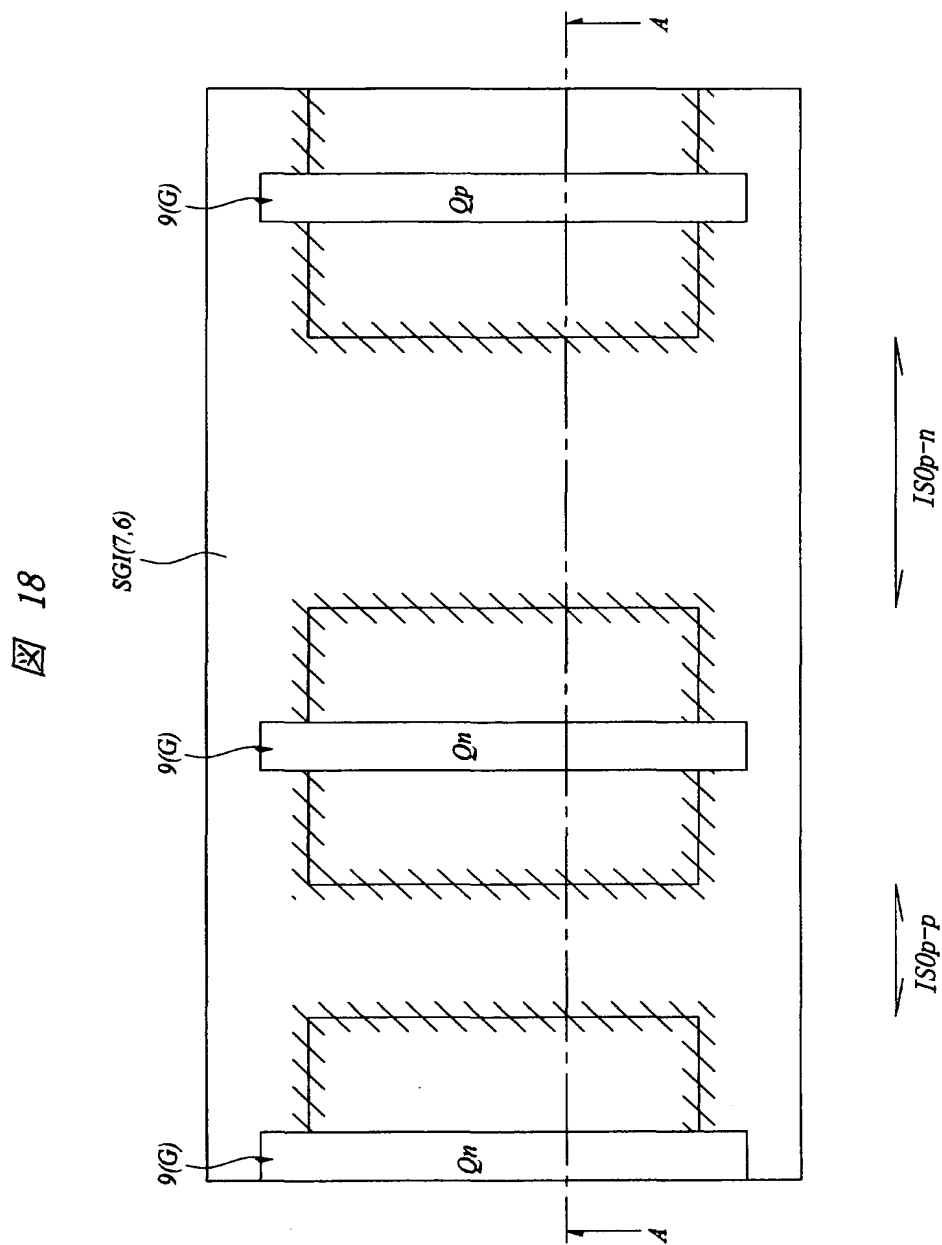
【図 16】



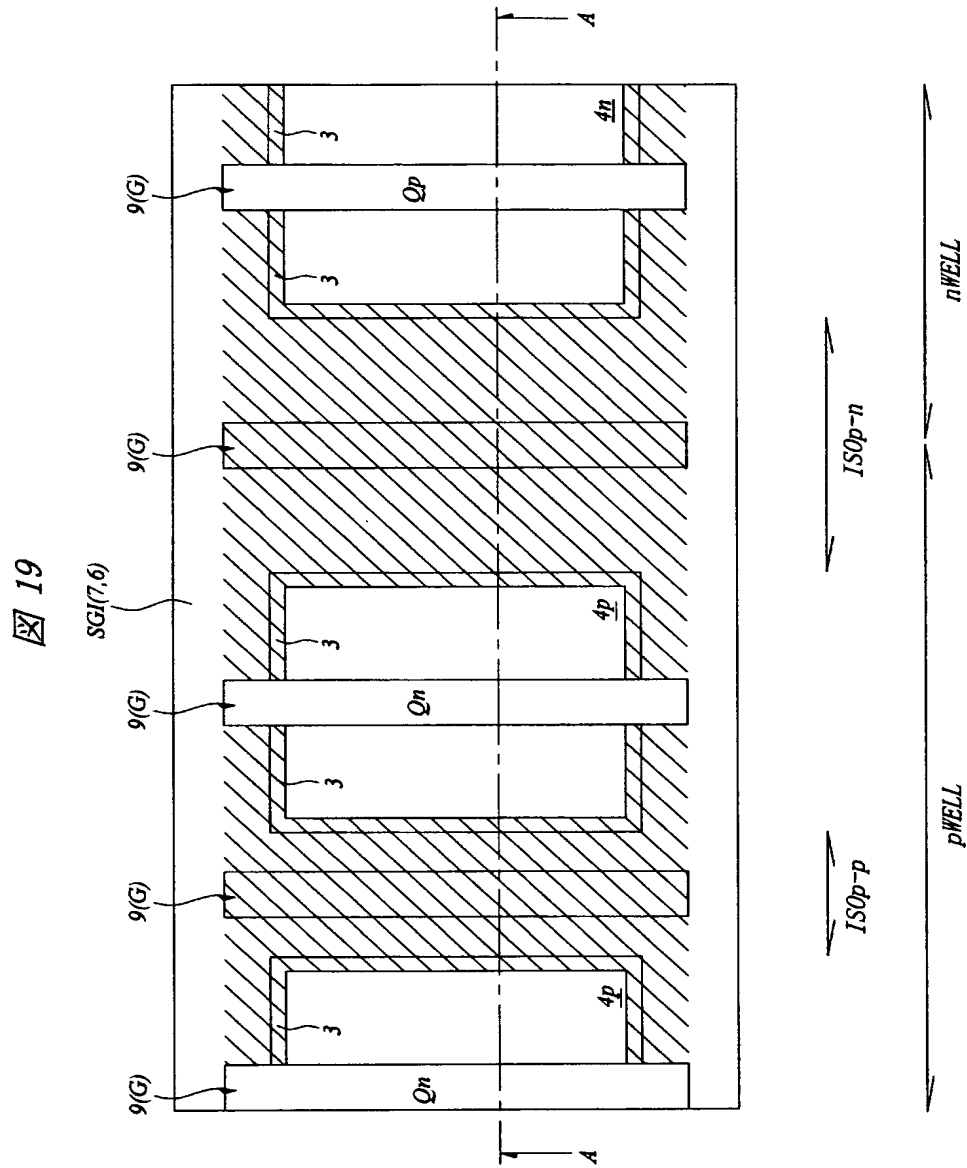
【図 17】



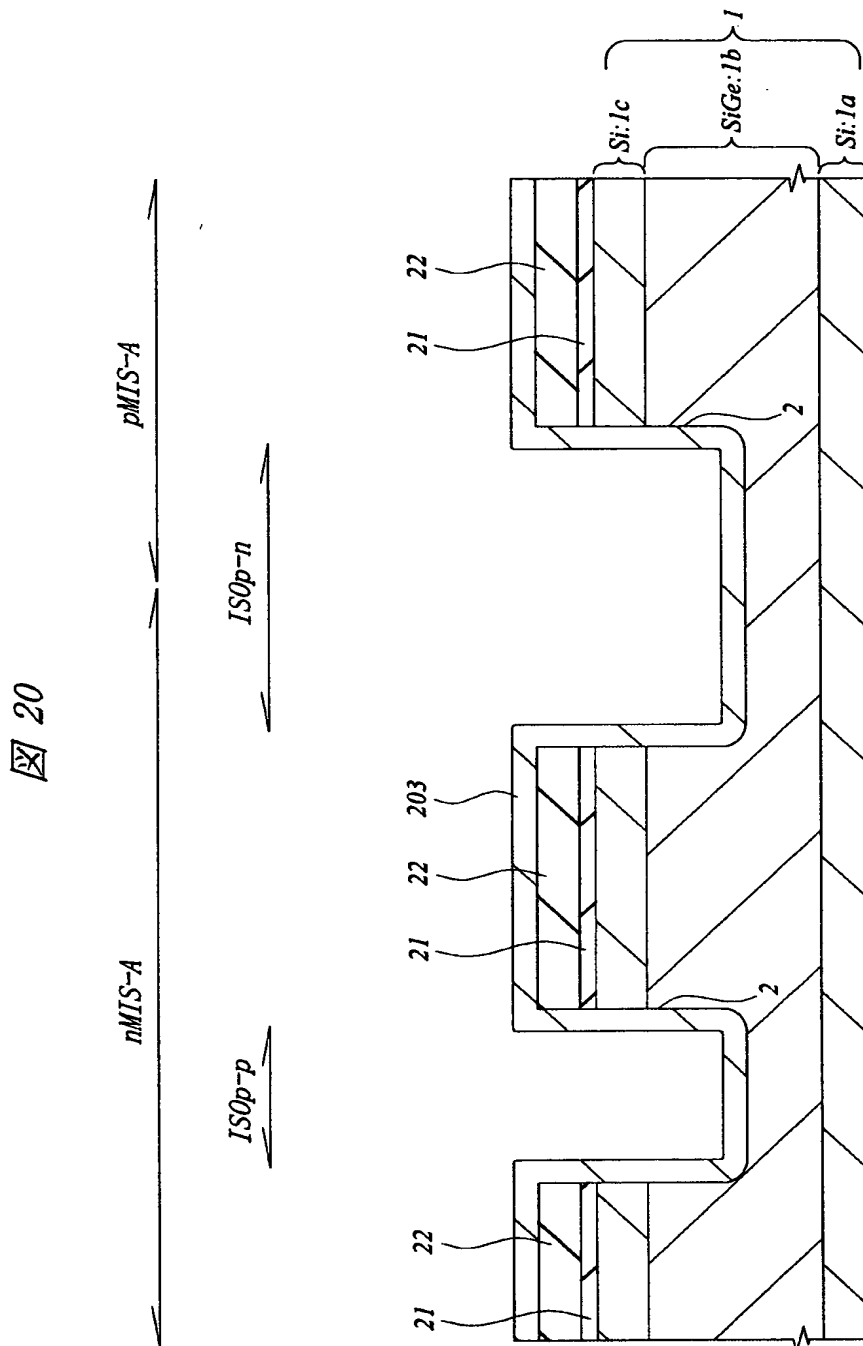
【図 18】



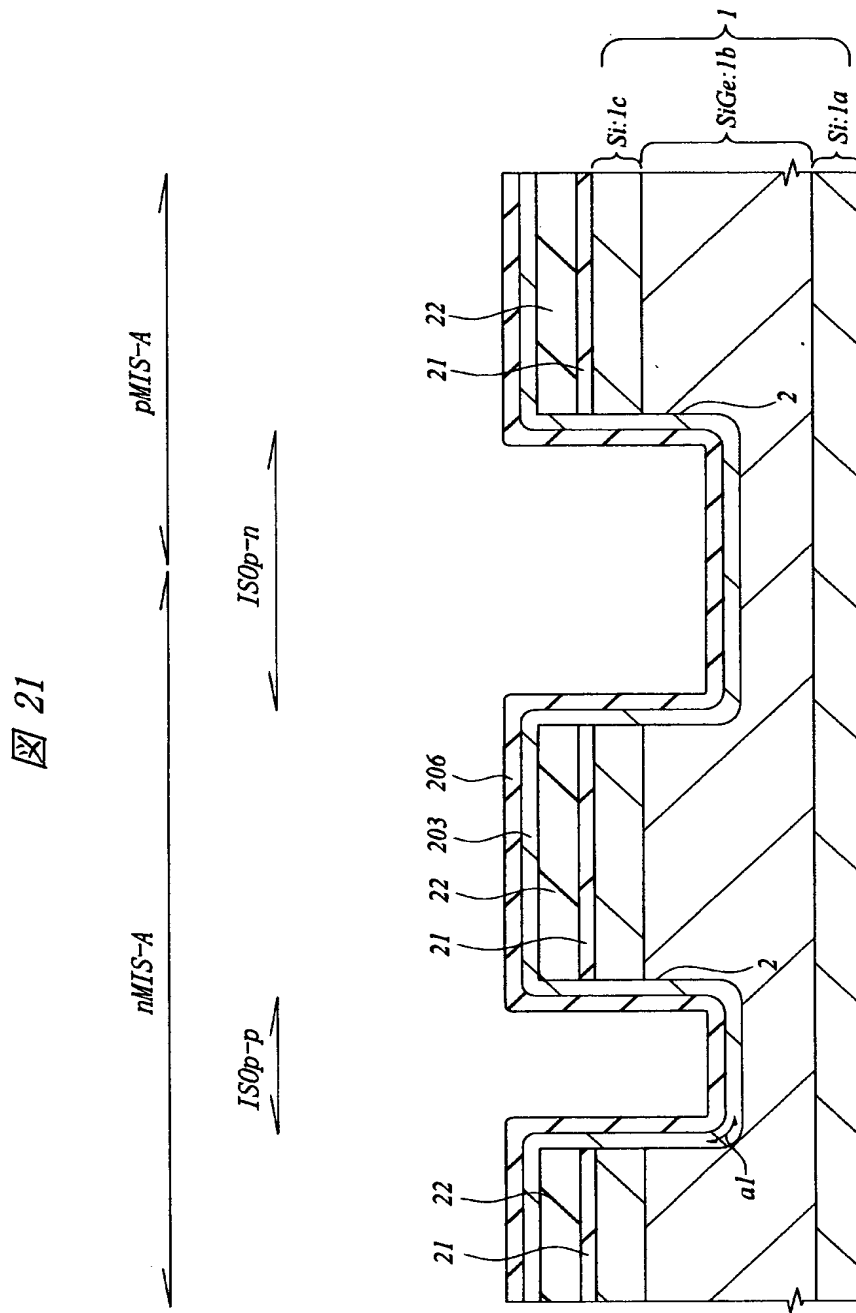
【図 19】



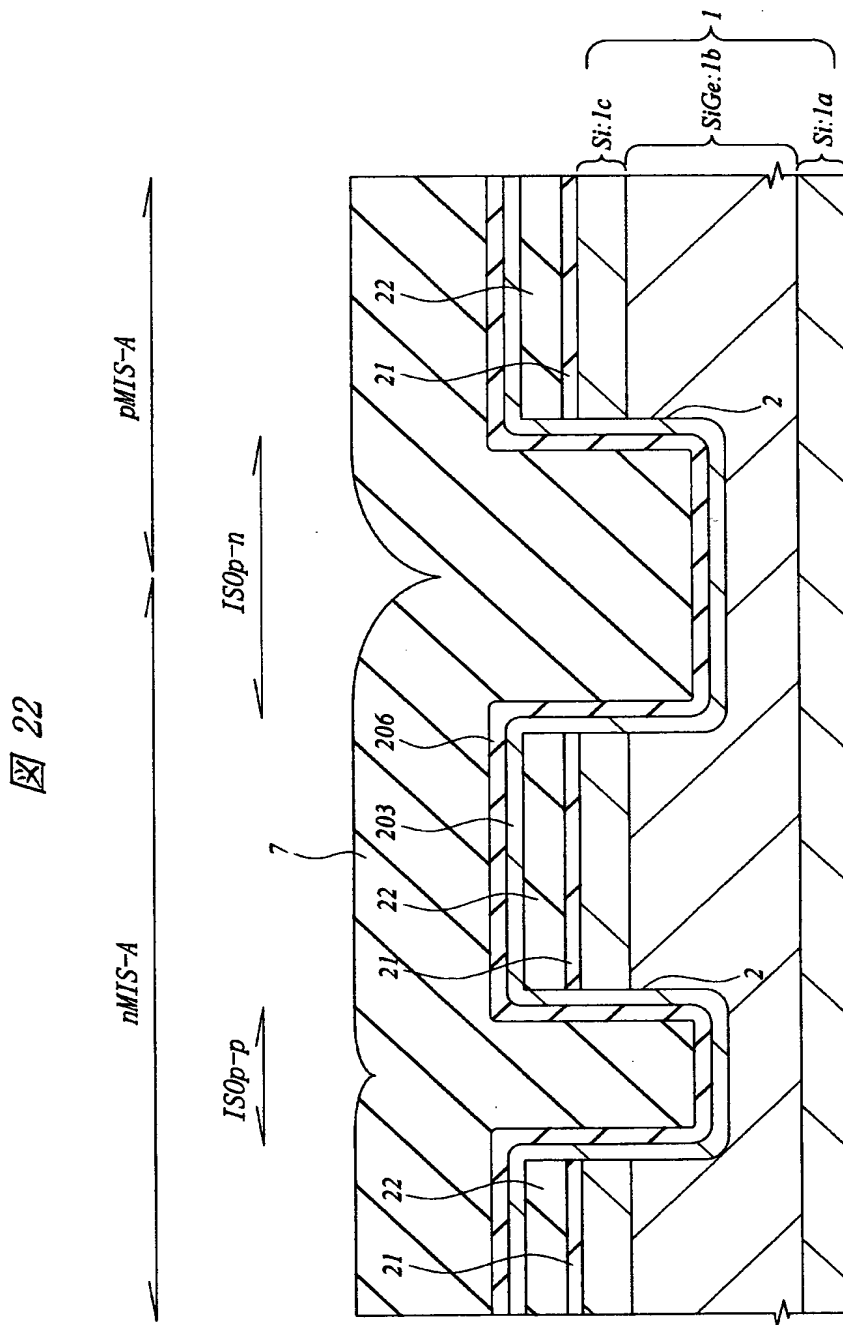
【図 2 0】



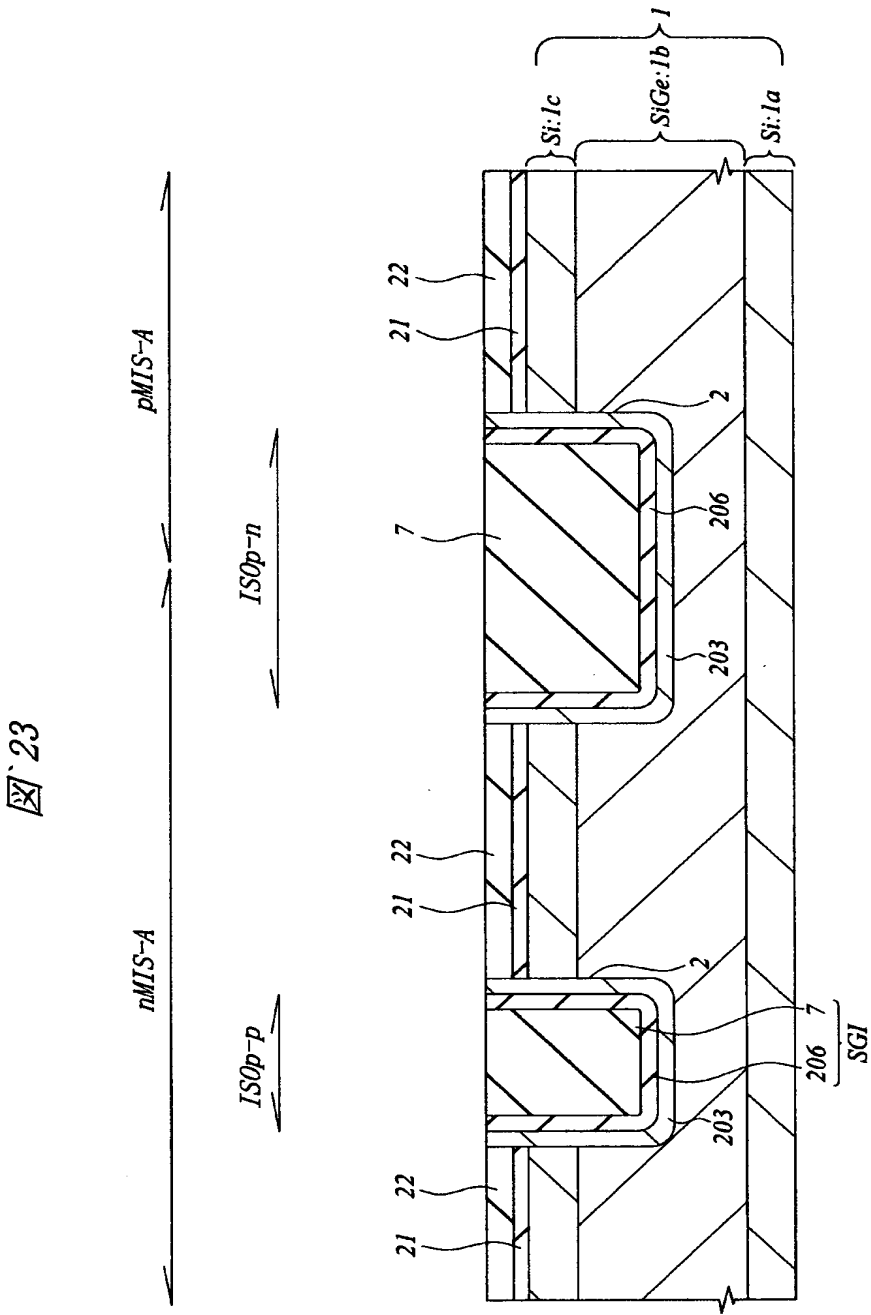
【図 2 1】



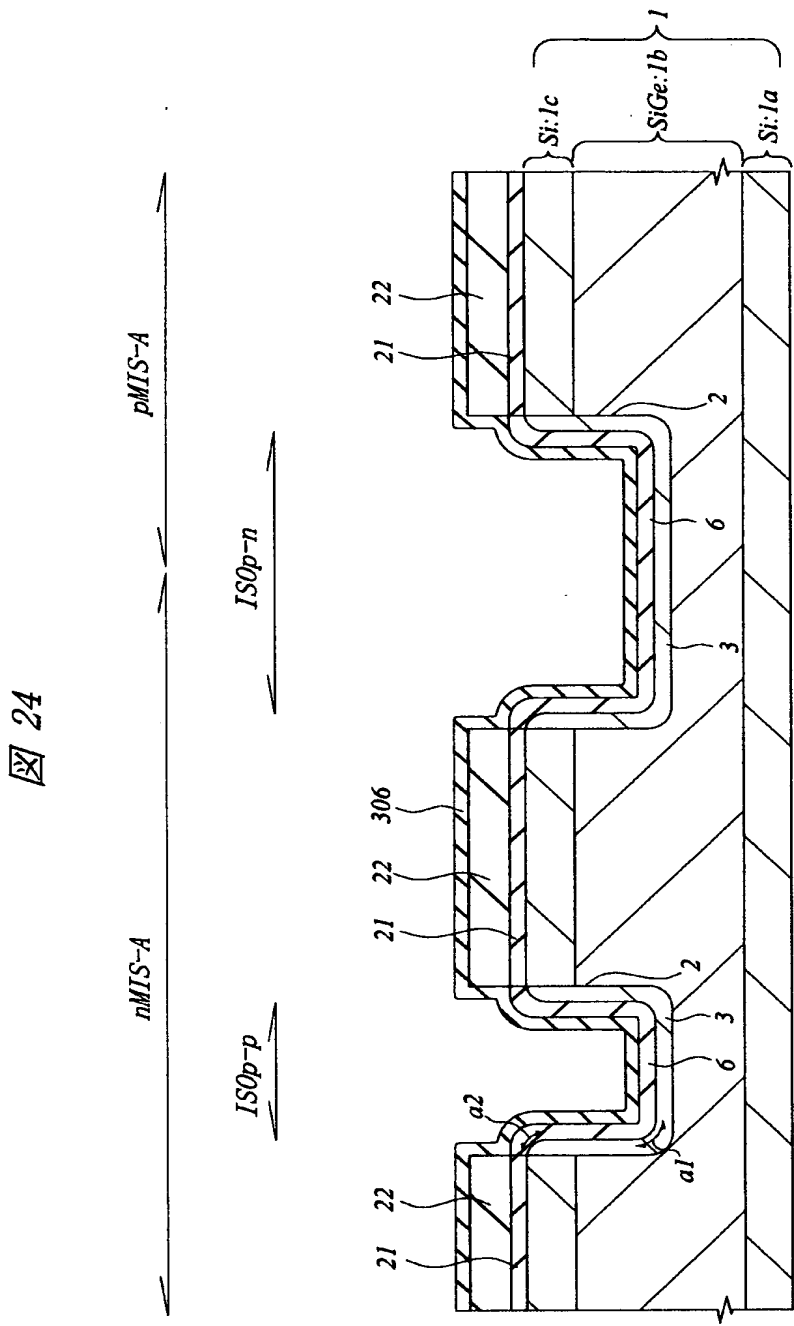
【図 2 2】



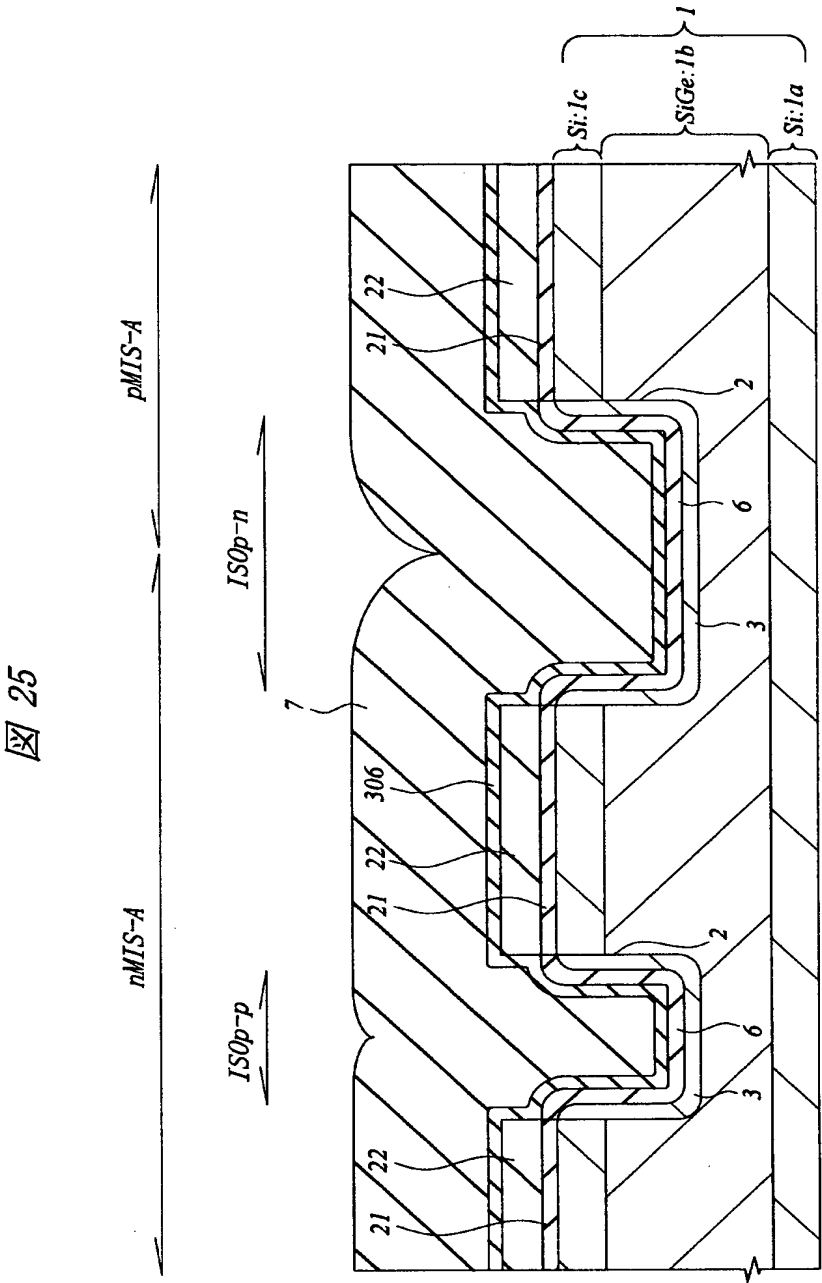
【図 2 3】



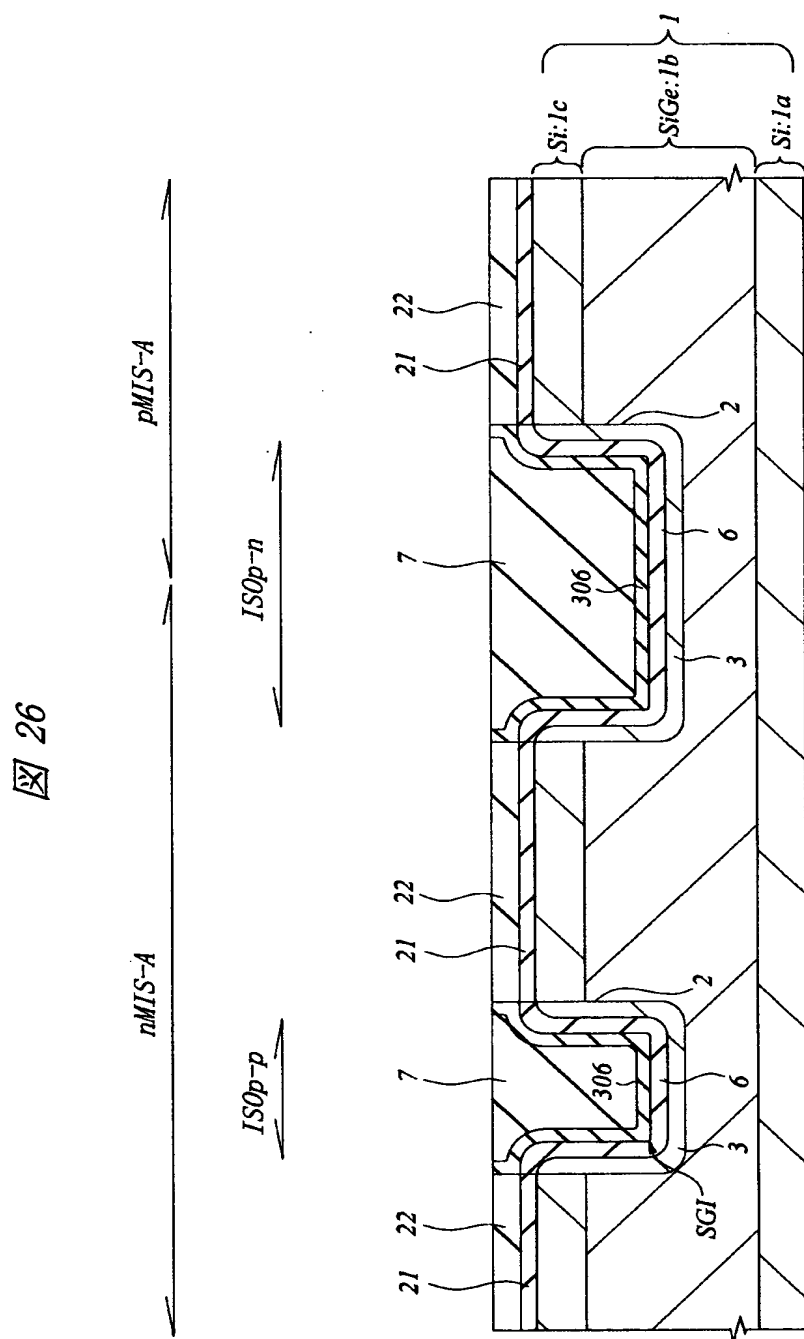
【 図 2 4 】



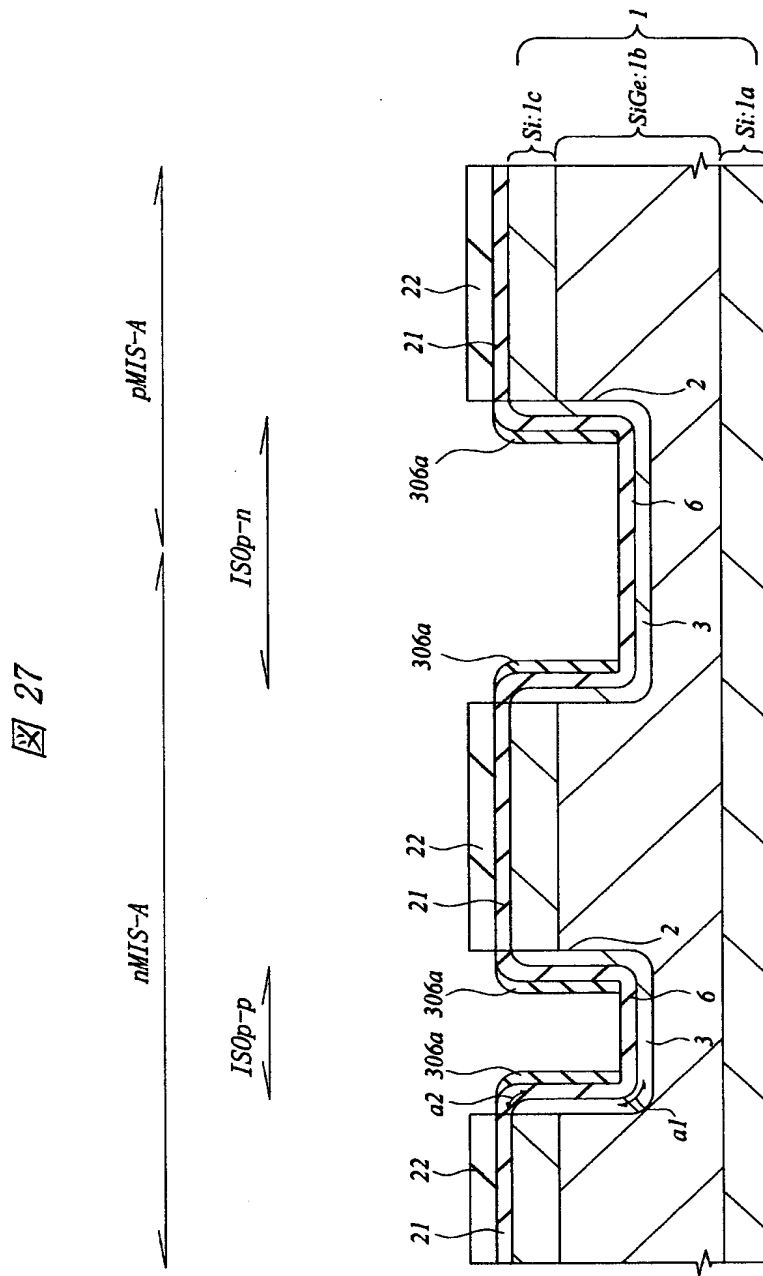
【図 2 5】



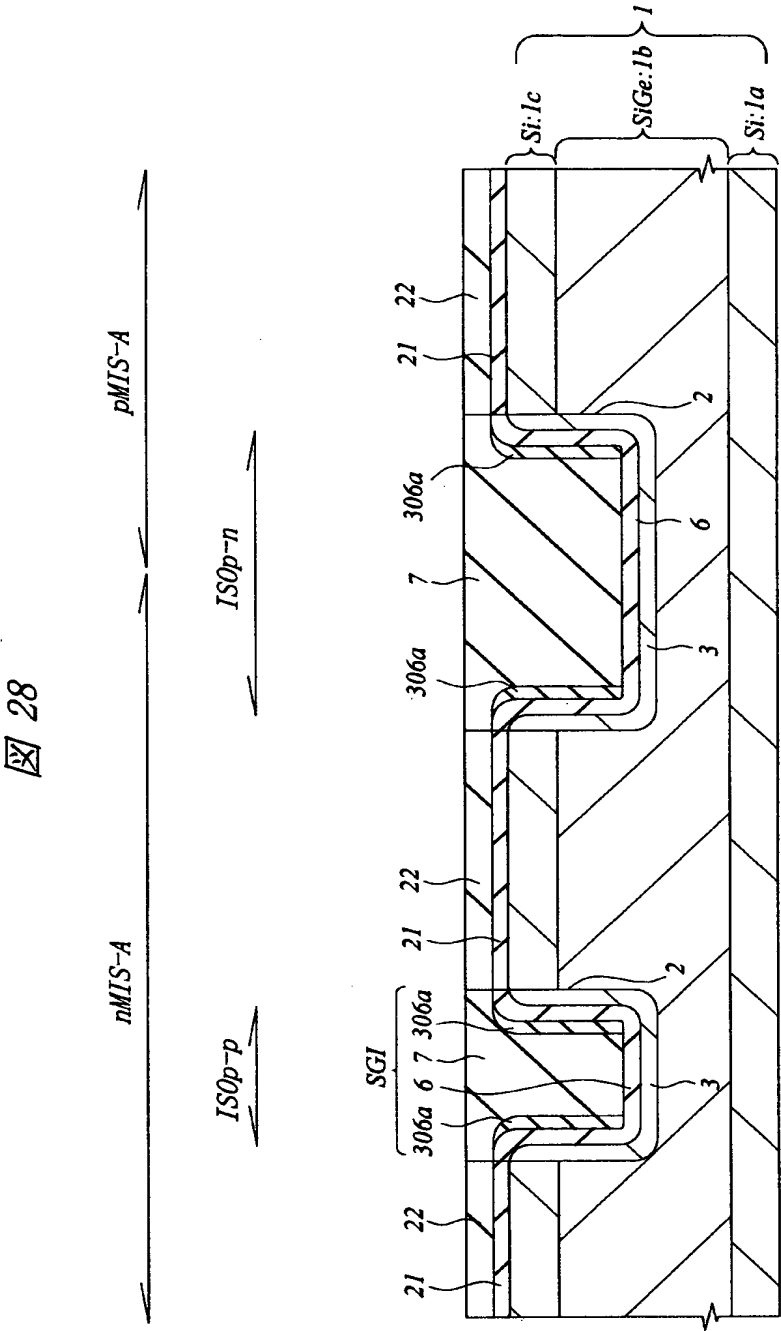
【图 2 6】



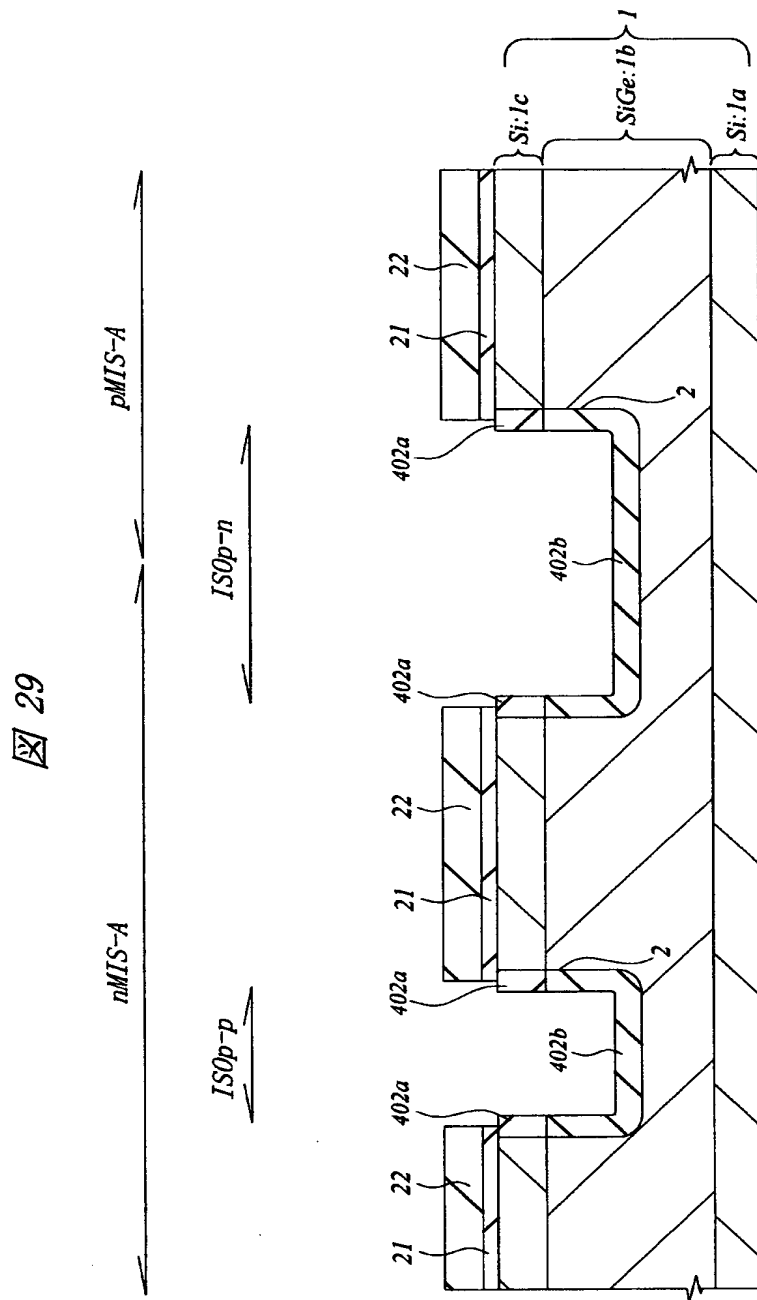
【図 2 7】



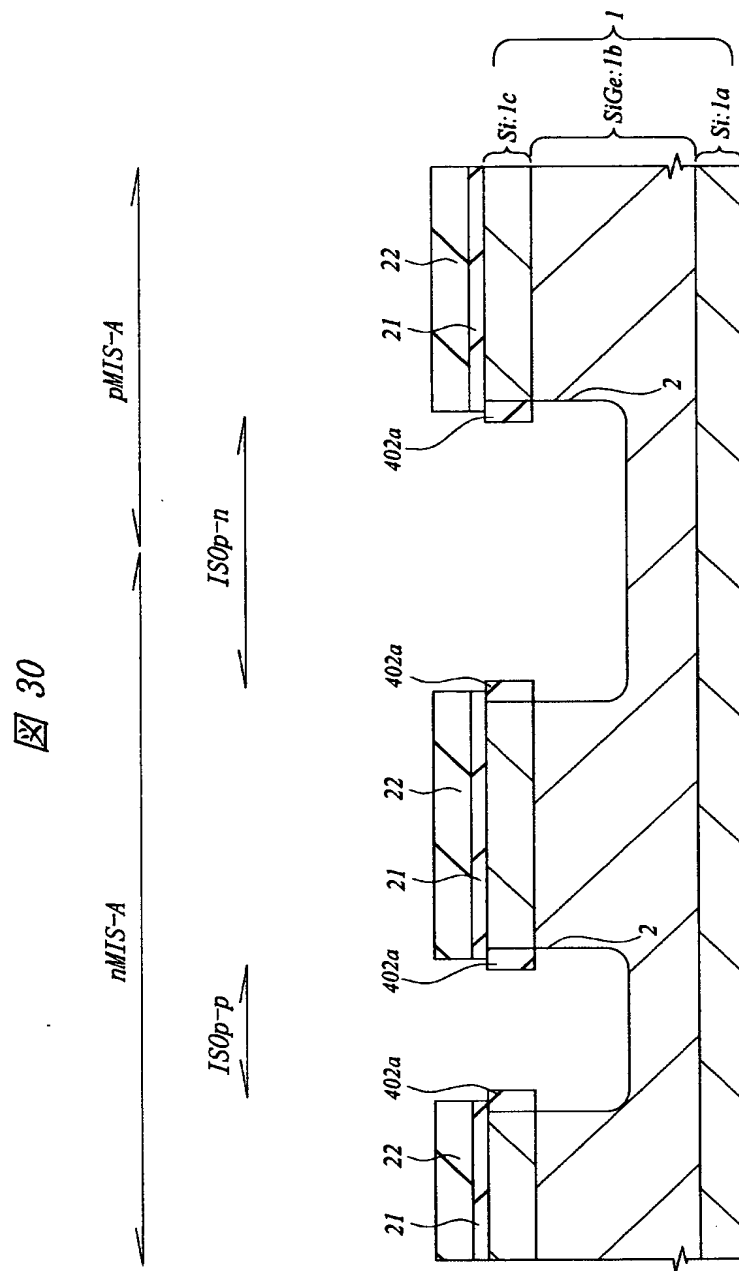
【図 2 8】



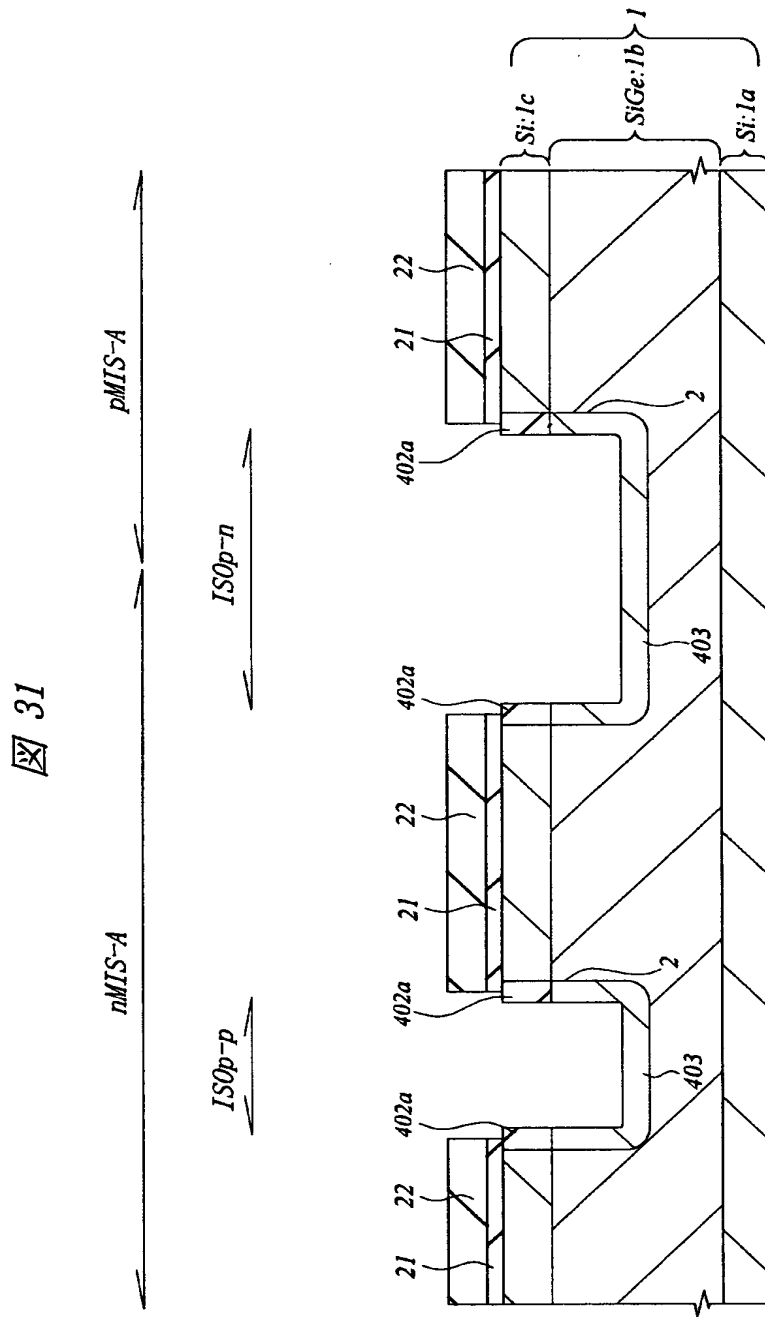
【図 2 9】



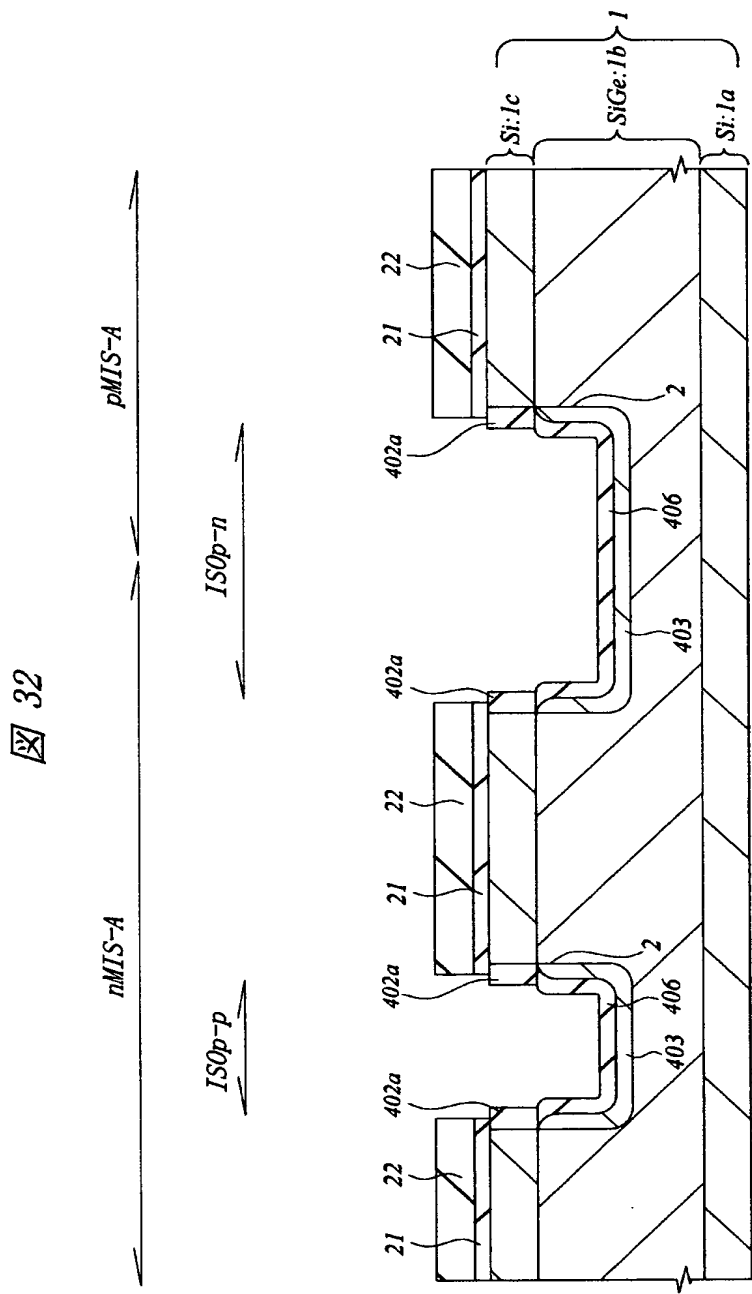
【図 3 0】



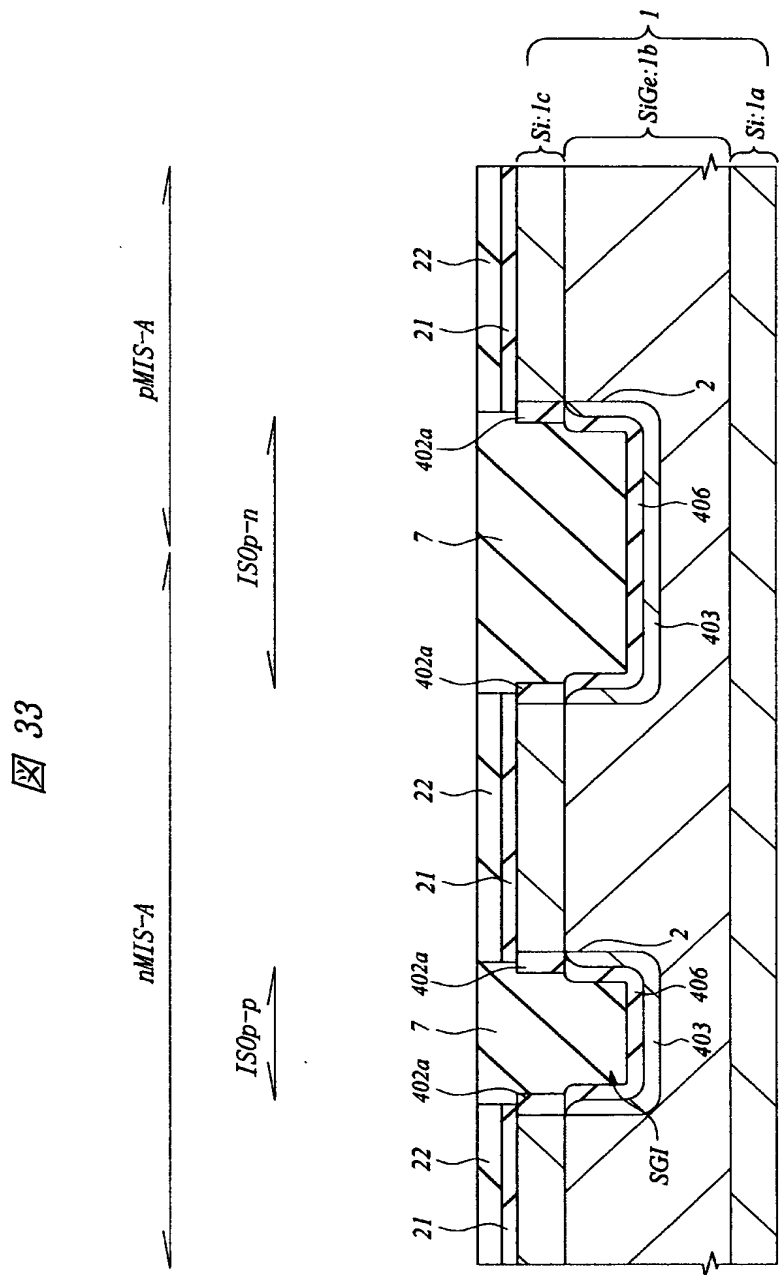
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 歪み基板の素子分離の壁を介するリーク電流を低減し、素子分離特性を向上させる。

【解決手段】 単結晶シリコン層 1 a、SiGe 層 1 b およびこの SiGe 層 1 b 上にエピタキシャル成長された単結晶 Si 層 1 c よりなる歪み基板 1 中に、その底部が SiGe 層 1 b 中に位置する溝 2 を形成し、溝 2 の内壁に単結晶 Si をエピタキシャル成長させることにより Si 膜 3 を形成し、さらに、この Si 膜 3 の一部を酸化しその上部に Si 酸化膜（熱酸化膜）6 を形成した後、溝 2 の内部を含む基板 1 上に、絶縁膜として CVD 法により酸化シリコン膜 7 を堆積し、その表面 CMP 法により研磨する。このように素子分離 SGI と SiGe 層 1 b との間に Si 膜 3 を介在させることにより素子分離 SGI の壁に沿ったリーク電流を低減することができる。

【選択図】 図 1 3

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所